

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Chang-hyun Lee

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: NON-VOLATILE MEMORY DEVICES WITH CHARGE STORAGE
INSULATORS AND METHODS OF FABRICATING SUCH DEVICES

Date: November 13, 2003

Mail Stop PATENT APPLICATION
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

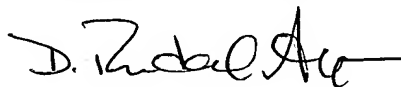
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0001566, filed January 10, 2003.

Respectfully submitted,

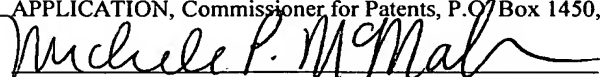


D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Our File No. 5649-1165

"Express Mail" mailing label number EV 353593153 US
Date of Deposit: November 13, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.


Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0001566
Application Number

출원 년 월 일 : 2003년 01월 10일
Date of Application
JAN 10, 2003

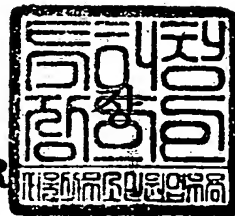
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 21 일

특 허 청

COMMISSIONER





1020030001566

출력 일자: 2003/7/21

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.01.10
【발명의 명칭】	전하저장절연막을 가지는 비휘발성 메모리 소자 및 그 제조방법
【발명의 영문명칭】	NON-VOLATILE MEMORY DEVICE HAVING A CHARGE STRAGE INSULATOR AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이창현
【성명의 영문표기】	LEE, CHANG HYUN
【주민등록번호】	701121-1110918
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1039-12 202호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	55	면	55,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	21	항	781,000	원
---------	----	---	---------	---

【합계】	865,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

전하저장절연막을 가지는 비휘발성 메모리 소자 및 그 제조방법을 제공한다. 이 소자는 반도체 기판에 정의된 셀영역과, 셀 영역에 형성되어 활성영역을 한정하는 복수개의 평행한 소자분리막들을 포함한다. 활성영역 및 소자분리막들을 포함하는 셀 영역 전면은 전하저장절연막으로 덮여진다. 전하저장절연막 상에 소자분리막들의 상부를 가로지르는 복수개의 평행한 게이트 라인들이 형성되고, 소정의 게이트 라인들 사이에 도전성 패턴들이 배치된다. 도전성 패턴들은 전하저장절연막을 관통하여 활성영역에 전기적으로 접속된다. 이 소자의 제조방법에 따르면 셀영역이 정의된 반도체 기판에 활성영역을 한정하는 소자분리막을 형성하고, 소자분리막이 형성된 반도체 기판의 전면에 전하저장절연막을 형성한다. 전하저장절연막 상에 상기 소자분리막들의 상부를 가로지르는 복수개의 평행한 게이트 라인들을 형성하고, 소정의 게이트 라인들 사이에 상기 전하저장절연막을 관통하여 상기 활성영역에 전기적으로 접속된 도전성 패턴들을 형성한다.

【대표도】

도 6

【명세서】

【발명의 명칭】

전하저장절연막을 가지는 비휘발성 메모리 소자 및 그 제조방법{NON-VOLATILE MEMORY DEVICE HAVING A CHARGE STRAGE INSULATOR AND METHOD OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1은 종래의 전하저장절연막을 가지는 비휘발성 메모리 소자의 단위셀을 나타낸 평면도이다.

도 2 내지 도 5는 도 1의 A-A를 따라 취해진 종래의 비휘발성 메모리 소자 및 그 제조방법을 나타낸 도면들이다.

도 6은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 셀영역을 나타낸 평면도이다.

도 7a 및 도 7b는 각각 도 6의 B-B를 따라 취해진 본 발명에 따른 비휘발성 메모리 소자의 셀영역을 나타낸 단면도이다.

도 8은 도 6의 C-C를 따라 취해진 본 발명에 따른 비휘발성 메모리 소자의 셀영역을 나타낸 단면도이다.

도 9 및 도 11은 각각 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 고전압 영역 및 저전압 영역을 나타낸 평면도들이다.

도 10 및 도 12는 각각 도 9 및 도 11의 D-D 및 E-E를 따라 취해진 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 고전압 영역 및 저전압 영역을 나타낸 단면도들이다.

도 13 내지 도 20은 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

도 21 내지 도 26은 본 발명의 제2 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

도 27 내지 도 32은 본 발명의 제3 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

도 33 내지 도 36은 본 발명의 제4 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

도 37 내지 도 41은 본 발명의 제5 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 비휘발성 메모리 소자 및 그 제조방법에 관한 것으로서, 더 구체적으로는 전하를 저장할 수 있는 절연막이 구비된 기억셀을 포함하는 비휘발성 메모리 소자 및 그 제조방법에 관한 것이다.

<14> 비휘발성 메모리 소자는 전원이 공급되지 않아도 그 데이터를 유지할 수 있는 메모리 소자로서, 대표적으로 플래시 메모리 소자(flash memory devices), 강유전체 메모리 소자(ferroelectric memory devices), 상변환 메모리 소자(phase changeable memory devices), 자기 메모리 소자(magnetic memory devices) 등이 있다.

- <15> 이들 중, 플래시 메모리 소자는 모스트랜지스터와 유사한 구조의 단위셀을 포함한다. 따라서, 별도의 정보저장요소가 필요하지 않기 때문에 셀 영역의 집적도를 높일 수 있다. 플래시 메모리 소자는 도전성 부유게이트 내에 전하를 저장하는 구조와, 전하저장절연막에 전하를 저장하는 구조의 2가지 대표적인 구조를 가진다. 전하저장절연막에 전하를 저장하는 플래시 메모리 소자는 낮은 기입 및 소거전압(program voltage and erase voltage)과, 우수한 내구성(endurance) 및 유지특성(retention)을 가지고, 다중 비트 저장가능한 소자(multi-bit programable devices)를 형성할 수 있기 때문에 최근 많은 연구가 진행 중이다.
- <16> 도 1은 종래의 전하저장절연막을 가지는 비휘발성 메모리 소자의 단위셀을 나타낸 평면도이다.
- <17> 도 2 내지 도 5는 도 1의 A-A를 따라 취해진 종래의 비휘발성 메모리 소자의 제조방법을 나타낸 공정단면도들이다.
- <18> 도 1을 참조하면, 종래의 비휘발성 메모리 소자는 반도체 기판의 소정영역에 소자분리막(28a)이 배치되고, 상기 소자분리막(28a)은 활성영역을 한정한다. 상기 활성영역의 상부를 가로질러 게이트 전극(30)이 배치되고, 상기 게이트 전극(30) 및 상기 활성영역 사이에 전하트랩층(charge trapping layer; 16)이 개재된다.
- <19> 도 2를 참조하면, 종래의 비휘발성 메모리 소자의 제조방법은 반도체 기판(10) 상에 하부절연막(14), 전하트랩층(16) 및 상부절연막(18)을 형성한다. 상기 상부절연막(18) 상에 제1 도전막(20) 및 하드마스크막(22)을 형성한다. 상기 하드마스크막(22) 및 상기 제1 도전막(20)을 패터닝하고, 계속해서, 상기 상부절연막(18), 상기 전하트랩층

(16), 상기 하부절연막(14) 및 상기 반도체 기판(10)을 패터닝하여 상기 반도체 기판(10)에 트렌치 영역(12)을 형성한다.

<20> 도 3을 참조하면, 상기 트렌치 영역(12)이 형성된 반도체 기판에 열산화공정을 적용하여 상기 트렌치 영역(12)의 내벽에 트렌치 산화막(24)을 형성한다. 일반적으로 상기 반도체 기판(10) 및 상기 제1 도전막(20)은 실리콘으로 이루어지기 때문에 상기 하부절연막(14)과 접하는 상기 반도체 기판(10)과, 상기 상부절연막(18)과 접하는 상기 제1 도전막(20)의 일부분이 함께 열산화된다(26). 실리콘은 열산화될 때 그 부피가 약 2배로 증가한다. 따라서, 상기 반도체 기판(10)과 상기 제1 도전막(20)의 산화로 인하여 상기 전하트랩층(16)에 장력(tensile stress) 및 압축력(compressive stress)가 가해져 상기 전하트랩층(16)에 결함이 생성될 수 있다. 이와 아울러, 상기 트렌치 영역(12)을 형성하는 동안 가해진 식각손상으로 인하여 상기 트렌치 영역(12)의 측벽에 정렬된 상기 전하트랩층(16)의 가장자리에 결함이 생성될 수 있다.

<21> 계속해서 도 3을 참조하면, 상기 트렌치 산화막(24)이 형성된 반도체 기판 상에 상기 트렌치 영역(24)을 채우는 절연막(28)을 형성한다.

<22> 도 4를 참조하면, 화학적기계적 연마공정을 사용하여 상기 절연막(28)을 연마하여 상기 하드마스크막(22)을 노출시킴과 동시에 상기 트렌치 영역(12)을 채우는 절연막 패턴(28a)을 형성한다. 계속해서, 상기 하드마스크막(22)을 제거하여 상기 제1 도전막(20)을 노출시킨다.

<23> 도 5를 참조하면, 상기 제1 도전막(20)이 노출된 기판의 전면에 폴리실리콘(30) 및 실리사이드층(32)을 적층한다. 계속해서, 상기 폴리실리콘층(20) 및 상기 실리사이드층

(32)와 상기 제1 도전막(20)을 패터닝하여 상기 소자분리막들(28a)의 상부를 가로지르는 게이트 전극(34)을 형성한다.

<24> 상술한 것과 같은 종래의 비휘발성 메모리 소자는 소자분리막과 인접하는 영역에 결함을 지닐 가능성이 높기 때문에 데이터의 저장 및 유지특성이 열악해질 우려가 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명이 이루고자하는 기술적 과제는 우수한 품질의 전하저장절연막을 포함하는 비휘발성 메모리 소자의 기억 셀 및 그 제조방법을 제공하는데 있다.

<26> 본 발명이 이루고자하는 다른 기술적 과제는, 우수한 품질의 전하저장절연막을 가지는 기억셀을 포함하는 비휘발성 메모리 소자 및 그 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<27> 상기 기술적 과제들은 평판 전하저장절연막을 포함하는 비휘발성 메모리 소자에 의해 제공될 수 있다. 이 소자는 반도체 기판에 정의된 셀영역과, 상기 셀 영역에 형성되어 활성영역들을 한정하는 복수개의 평행한 트렌치 소자분리막들을 포함한다. 상기 활성영역 및 상기 소자분리막들 상에 전하 저장 절연막이 콘포말하게 형성된다. 상기 전하저장절연막 상에 상기 소자분리막들의 상부를 가로지르는 복수개의 평행한 게이트 라인들이 형성되고, 소정의 상기 게이트 라인들 사이에 도전성 패턴들이 배치된다. 상기 도전성 패턴들은 상기 전하저장절연막을 관통하여 상기 활성영역에 전기적으로 접속된다.

<28> 본 발명의 일 실시예에서, 이 소자는 셀영역, 고전압 영역 및 저전압 영역을 포함한다. 구체적으로, 이 소자는 셀영역, 고전압영역 및 저전압영역이 구비된 반도체 기판에 형성되어 상기 셀영역에 복수개의 평행한 제1 활성영역, 상기 고전압영역에 제2 활성

영역, 상기 저전압영역에 제3 활성영역을 한정하는 소자분리막들을 포함한다. 상기 제1 활성영역 및 상기 소자분리막들 상에 전하저장절연막이 콘포말하게 형성된다. 상기 전하저장절연막 상에 상기 소자분리막들의 상부를 가로지르는 복수개의 평행한 게이트 라인들이 형성되고, 상기 제 2 활성영역의 상부 및 상기 제3 활성영역의 상부를 고전압 게이트 패턴 및 저전압 게이트 패턴이 각각 가로지른다. 상기 고전압 게이트 패턴 및 상기 제2 활성영역 사이와, 상기 저전압 게이트 패턴 및 상기 제3 활성영역 사이에 각각 고전압 게이트 절연막 및 저전압 게이트 절연막이 개재된다.

<29> 본 발명에서 상기 소자분리막의 상부면은 상기 활성영역 표면보다 높은 레벨에 위치하는 것이 바람직하다. 아울러, 상기 전하저장절연막은 하부산화막, 전하트랩층 및 상부산화막을 포함하고, 상기 상부산화막은 절연성 금속산화막인 것이 바람직하다. 더 나아가서, 상기 고전압 게이트 절연막 및 상기 저전압 게이트 절연막은 각각 이중층의 절연막이거나, 상기 고전압 게이트 절연막은 3중층의 절연막이고 상기 저전압 게이트 절연막은 2중층의 절연막일 수도 있다.

<30> 본 발명에서 상기 고전압 게이트 전극 및 상기 저전압 게이트 전극의 각각은 상기 소자분리막의 측벽들 사이에 형성된 하부 게이트 패턴과, 상기 하부 게이트 패턴 상에 형성되되, 상기 소자분리막 패턴 상에 일부 중첩된 상부 게이트 패턴으로 구성될 수도 있다.

<31> 상기 기술적 과제들은 평판 전하저장절연막을 가지는 비휘발성 메모리 소자의 제조 방법에 의해 제공될 수 있다. 이 방법은 셀영역이 정의된 반도체 기판에 패드절연막(pad insulating layer) 및 하드마스크막(hard mask layer)을 형성하는 것을 포함한다. 상기 하드마스크막, 상기 패드절연막 및 상기 반도체 기판을 패터닝하여 상기 셀영역에 트랜

치를 형성하고, 상기 셀 영역의 전면에 상기 트렌치를 채우는 트렌치 절연막을 형성한다. 화학적기계적연마공정을 사용하여 상기 트렌치 절연막을 연마하여 상기 하드마스크막을 노출시킨다. 이때, 상기 트렌치를 채우고 활성영역을 한정하는 소자분리막이 형성된다. 상기 하드마스크막 및 상기 패드 절연막을 제거하고, 상기 소자분리막 및 상기 활성영역을 포함하는 셀 영역의 전면에 전하저장절연막을 형성한다. 상기 전하저장절연막 상에 상기 소자분리막들의 상부를 가로지르는 복수개의 평행한 게이트 라인들을 형성하고, 소정의 상기 게이트 라인들 사이에 상기 전하저장절연막을 관통하여 상기 활성영역에 전기적으로 접속된 도전성 패턴들을 형성한다.

<32> 구체적으로, 상기 전하저장절연막은 하부산화막, 전하트랩층 및 상부산화막을 차례로 적층하여 형성할 수 있고, 이 경우 상기 상부산화막은 절연성 금속산화막으로 형성하는 것이 바람직하다.

<33> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

- <34> 도 6은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 셀영역을 나타낸 평면도이다.
- <35> 도 6을 참조하면, 비휘발성 메모리 소자의 셀영역은 반도체 기판에 정의된 선택 게이트 영역(SR)들과 상기 선택 게이트 영역들(SR) 사이에 정의된 워드라인 영역(WR)을 포함한다. 상기 반도체 기판에 소자분리막들(STI)이 형성되고, 상기 소자분리막들(STI)을 포함하는 셀 영역의 전면에 전하저장절연막(74c)이 덮여진다. 이후 설명하겠지만 상기 전하 저장 절연막(74c)은 상기 워드라인 영역(WR)에만 형성될 수도 있다. 본 발명의 특징 중 하나는 상기 전하 저장 절연막(74c)이 활성영역 뿐만 아니라 상기 활성영역과 인접하는 소자분리막 상에 콘포말하게 형성되는 것이다.
- <36> 상기 상기 전하저장절연막(74c) 상에 복수개의 평행한 게이트 라인들이 배치된다. 상기 게이트 라인들은 상기 소자분리막들(STI)의 상부를 가로지른다. 상기 게이트 라인들은 상기 워드라인 영역(WR)에 배치된 복수개의 워드라인들(w1~wn)과, 상기 워드라인들(w1~wn)의 양측의 상기 선택 게이트 영역(SR)에 각각 배치된 접지선택라인(ground selection line; GSL) 및 스트링선택라인(string selection line; SSL)을 포함한다. 낸드형 셀어레이에는 접지선택라인들(GSL)이 서로 대향하여 형성되고, 이들 접지선택라인들(GSL)사이에는 공통소오스 라인(common source line; CSL)이 배치된다. 또한, 상기 스트링선택라인들(SSL)도 서로 대향하여 배치되고, 상기 스트링선택라인들(SSL) 사이에 복수개의 비트라인 플러그들(BC)이 배치된다. 상기 공통소오스 라인(GSL)은 상기 워드라인(wn)과 평행하게 배치되어, 상기 소자분리막들(STI) 사이의 활성영역에 전기적으로 접속된다. 상기 비트라인 플러그들(BC)은 상기 워드라인(wn)과 평행하게 배열되어, 상기 소자분리막들(STI) 사이의 활성영역에 각각 전기적으로 접속된다. 따라서, 도 9에

도시된 것과 같이, 상기 전하저장절연막(74c)은 상기 셀영역의 전면을 덮을 수 있고, 이때 상기 전하저장절연막(74c)은 상기 공통소오스 라인(CSL) 및 상기 비트라인 플러그들(BC)에 대응하여 상기 소자분리막(STI) 및 상기 활성영역을 노출시키는 오프닝들(OP1, OP2)을 가진다. 그러나, 상기 전하저장절연막(74c)은 상기 게이트 라인들의 하부에만 형성될 수도 있다.

<37> 도 7a 및 7b는 각각 도 6의 B-B를 따라 취해진 본 발명의 바람직한 실시예들에 따른 비휘발성 메모리 소자의 셀어레이를 나타낸 단면도이다.

<38> 도 8은 도 6의 C-C를 따라 취해진 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 셀어레이를 나타낸 단면도이다.

<39> 도 7a 및 도 8을 참조하면, 본 발명에 따른 비휘발성 메모리 소자의 셀영역은 반도체 기판(50)에 형성된 복수개의 평행한 트렌치 소자분리막들(56)을 포함한다. 상기 소자분리막(56)들은 상기 반도체 기판(50)에 활성영역들(58)을 한정한다. 상기 셀 영역은 워드라인들(w_n)이 배치된 워드라인 영역(WR)과 선택게이트 라인들(SSL_n , GSL_n)이 배치되는 선택 게이트 영역(SR)을 포함한다. 상기 소자분리막들(56) 및 상기 활성영역들(58)을 포함하는 반도체 기판 상에 전하저장절연막(74c)이 형성되고, 상기 전하저장절연막(74c) 상에 복수개의 게이트 라인들이 형성된다. 상기 전하저장절연막(74c)은 하부 산화막(64), 전하트랩층(66) 및 상부 산화막(68)을 포함한다.

<40> 낸드형 셀 어레이에서, 선택 트랜지스터들이 소프트 프로그램되는 것을 방지하기 위하여 선택 트랜지스터의 게이트 절연막은 메모리 셀들의 게이트 절연막보다 두꺼운 것이 바람직하다. 따라서, 본 발명에 따른 메모리 소자는 상기 선택 게이트 영역(SR)의 상기 전하 저장 절연막(74c)과 상기 반도체 기판(50) 사이에 개재된 산화막(54)을 더 포함

한다. 또다른 구조로, 도 7b에 도시된 것과 같이, 상기 전하 트랩층(66) 및 상기 상부 산화막(68)은 상기 워드라인 영역(WR)에만 형성하고, 상기 선택 게이트 영역(SR)에는 상기 하부산화막(64) 상에 또 다른 산화막(76)이 형성될 수도 있다.

<41> 상기 소자분리막(56)의 상부면은 상기 활성영역의 표면보다 높은 레벨에 위치한다. 또한, 상기 활성영역 상부로 돌출된 상기 소자분리막(56)의 측벽은 소정의 경사각 또는 곡률을 가질 수도 있다.

<42> 상기 게이트 라인들은 상기 소자분리막들(56)의 상부를 가로지르며 평행하게 배치된 접지선택라인(GSL)과 스트링선택라인(SSL)을 포함하고, 상기 접지선택라인(GSL)과 상기 스트링 선택라인(SSL) 사이에 평행하게 배치된 복수개의 워드라인들(w1~wn)을 포함한다. 상기 접지 선택 라인(GSL) 및 상기 스트링 선택 라인(SSL)은 상기 선택 게이트 영역(SR)에 배치되고, 상기 워드라인들(w1~wn)은 상기 워드라인 영역(WR)에 배치된다. 서로 대향하는 접지 선택라인들(GSL1, GSL2) 사이에 상기 워드라인들(w1~wn)과 평행한 도전성 패턴이 배치되고, 서로 대향하는 스트링선택라인들(SSL1, SSL2) 사이에 상기 워드라인들(w1~wn)과 평행한 방향으로 배열된 복수개의 도전성 패턴들이 배치된다. 상기 워드라인과 평행한 도전성 패턴은 공통소오스 라인(CSL)에 해당하고, 상기 워드라인과 평행한 방향으로 배열된 복수개의 도전성 패턴들은 비트라인 플러그(BC)에 해당한다.

<43> 상기 공통소오스 라인(CSL)은 상기 게이트 라인들을 포함하는 반도체 기판 상에 형성된 층간절연막(130) 내에 형성되고, 상기 전하저장절연막(74c)을 관통하여 상기 활성 영역들에 전기적으로 접속된다. 또한, 상기 비트라인 플러그들(BC)은 상기 층간절연막(130) 및 상기 전하저장절연막(74c)을 관통하여 상기 활성영역에 전기적으로 접속된다.

<44> 상기 공통소오스 라인(CSL)은 게이트 라인들이 형성된 반도체 기판 상에 제1 층간 절연막(110)을 형성하고, 상기 제1 층간절연막(110) 및 상기 전하저장절연막(74c)을 패터닝하여 그루브를 형성한 후, 상기 그루브 내에 도전막을 채워 형성할 수 있다. 상기 비트라인플러그들(BC)은 상기 공통소오스 라인(CSL)을 포함하는 상기 제1 층간절연막(110) 상에 제2 층간절연막(120)을 형성하고, 상기 제1 및 제2 층간절연막(110, 120) 및 상기 전하저장절연막(74c)을 패터닝하여 상기 활성영역을 노출시키는 복수개의 콘택홀들을 형성하고, 상기 콘택홀들의 각각에 도전막을 채워 형성할 수 있다. 상기 전하저장절연막(74c)을 구성하는 상기 상부 산화막(68)은 절연성 금속산화물로써, 예컨대 알루미늄산화물로 형성할 수 있다. 상기 절연성 금속산화물은 실리콘산화물과 식각선택성을 가질 수 있기 때문에, 상기 그루브 또는 상기 콘택홀들을 형성하기 위하여 상기 제1 층간절연막을 식각하는 동안 식각저지막으로 사용될 수 있다.

<45> 도 9 및 도 11은 각각 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 고전압 영역 및 저전압 영역을 나타낸 평면도들이다.

<46> 도 10 및 도 12는 각각 도 9 및 도 11의 D-D 및 E-E를 따라 취해진 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 고전압 영역 및 저전압 영역을 나타낸 단면도들이다.

<47> 도 9 및 도 10을 참조하면, 고전압 영역에는 동작전압(operating이 높은 고전압 트랜지스터가 배치된다. 상기 고전압 영역에는 소자분리막(56)이 배치되어 활성영역(60)을 한정한다. 상기 활성영역(60)의 상부를 가로질러 고전압 게이트 전극(78h)이 배치되고, 상기 고전압 게이트 전극(78h) 및 상기 활성영역(60) 사이에 고전압 게이트 절연막(74h)이 개재된다. 상기 고전압 게이트 절연막(74h)은 이중층 또는 삼중층일 수 있다.

- <48> 도 11 및 도 12를 참조하면, 저전압 영역에는 동작전압이 낮은 저전압 트랜지스터가 배치된다. 반도체 기판에 소자분리막(56)이 배치되어 활성영역(62)을 한정하고, 상기 활성영역의 상부를 가로질러 저전압 게이트 전극(781)이 배치되고, 상기 저전압 게이트 전극(781) 및 상기 활성영역(62) 사이에 저전압 게이트 절연막(741)이 개재된다. 본 발명에서 상기 저전압 게이트 절연막(741)은 이중층일 수 있다.
- <49> 도 13 내지 도 41은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자들 및 그 제조방법들을 설명하기 위한 단면도들이다.
- <50> 도면에서 b부분은 셀 영역을 나타내고, c부분은 도 10의 E-E를 따라 취해진 고전압 영역을 나타내고, d부분은 도 12의 F-F를 따라 취해진 저전압 영역을 나타낸다. SR로 표시된 부분은 도 6의 C-C를 따라 취해진 단면이고, WR로 표시된 부분은 도 6의 D-D를 따라 취해진 단면이다.
- <51> 도 13 내지 도 20은 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.
- <52> 도 13을 참조하면, 본 발명의 제1 실시예는 셀 영역(b), 고전압 영역(c) 및 저전압 영역(d)을 정의된 반도체 기판(50) 상에 패드 산화막(53a) 및 패드 질화막(53b)이 차례로 적층된 패드 절연막(53)을 형성한다. 상기 고전압 영역(c)의 상기 패드 절연막(53)을 제거한다.
- <53> 도 14를 참조하면, 상기 반도체 기판(50)에 열산화 공정을 적용하여 상기 고전압 영역(c)에 제1 산화막(52a)을 형성한다.

- <54> 도 15를 참조하면, 상기 저전압 영역(d)의 상기 패드 절연막(53)을 제거한다. 이때, 상기 셀 영역(b)의 상기 선택 게이트 영역(SR) 상에 형성된 상기 패드 절연막(53)도 함께 제거한다. 이 단계는 사진식각공정을 사용함으로써 상기 선택 게이트 영역(SR)의 패드 절연막(53)을 선택적으로 식각할 수 있다.
- <55> 상기 반도체 기판(50)에 열산화 공정을 적용하여 상기 저전압 영역(d) 및 상기 선택 게이트 영역(SR)에 제2 산화막(54)을 형성한다. 상기 고전압 영역(c)의 상기 제1 산화막(52)은 상기 열산화공정에 의해 그 두께가 증가된다.
- <56> 도 16을 참조하면, 상기 패드 절연막(53), 상기 제1 산화막(52) 및 상기 제2 산화막(54)이 형성된 반도체 기판의 전면에 하드마스크막(55)을 형성한다. 상기 하드마스크막(55)은 실리콘질화막으로 형성할 수 있다.
- <57> 도 17을 참조하면, 상기 반도체 기판(50)에 복수개의 소자분리막들(56)을 형성한다. 상기 소자분리막들(56)은 상기 셀영역(b)에 제1 활성영역(58)을 한정하고, 상기 고전압영역(c)에 제2 활성영역(60)을 한정하고, 상기 저전압영역(d)에 제3 활성영역(62)을 한정한다. 본 발명에서 상기 소자분리막들(56)은 트렌치 구조를 가진다. 상기 소자분리막들(56)을 형성하는 단계는 상기 하드마스크막(55), 상기 패드절연막(53), 상기 제1 산화막(52), 상기 제2 산화막(54) 및 상기 반도체 기판(50)을 차례로 패터닝하여 복수개의 트렌치들을 형성하는 것을 포함한다. 상기 반도체 기판의 전면에 상기 트렌치들 내부를 채우는 절연막을 형성하고, 화학적기계적연마공정을 사용하여 상기 절연막을 연마하여 상기 하드마스크막(55)을 노출시킴과 동시에 상기 트렌치들 내에 소자분리막들을 형성한다.

<58> 계속해서, 도 17을 참조하면, 상기 하드마스크막(55)을 제거하고, 상기 셀영역(b)의 패드 절연막(53)을 제거한다. 상기 소자분리막(56)의 상부면은 상기 활성영역들의 표면보다 높은 레벨에 위치한다. 또한, 상기 하드마스크막(55) 및 상기 패드 질화막(53b)은 인산용액을 사용한 습식식각방법으로 제거되고, 상기 패드 산화막(53)은 불화수소(HF) 희석액 또는 BOE(buffered oxide etchant)를 사용한 습식식각방법으로 제거할 수 있다. 따라서, 상기 셀 영역의 소자분리막들(56)의 상기 반도체 기판 상부로 돌출된 부분은 경사진 측벽을 가지고, 더 나아가서 돌출된 부분의 모서리는 소정의 곡률을 가질 수 있다.

<59> 도 18을 참조하면, 상기 반도체 기판의 전면에 하부 산화막(64), 전하트랩층(66) 및 상부 산화막(68)을 형성한다. 상기 하부 산화막(64)은 실리콘산화막, 실리콘산화질화막(silicon oxynitride) 및 금속산화막(metallic oxide) 중 선택되어진 하나로 형성할 수 있다. 상기 전하트랩층(66)은 실리콘질화막 및 실리콘산화질화막 중 선택된 하나로 형성할 수 있다. 바람직하게는 상기 전하트랩층(66)은 상기 하부 산화막과 식각선택비를 가지는 물질을 사용하여 형성할 수 있다. 상기 상부 산화막(68)은 상기 하부 산화막(64)과 마찬가지로 실리콘산화막, 실리콘산화질화막 및 절연성 금속산화막(metallic oxide) 중 선택되어진 하나로 형성할 수 있다. 바람직하게는 상기 상부 산화막(68)은 절연성 금속산화막으로써, 예컨대 알루미늄산화막으로 형성할 수 있다.

<60> 도 19를 참조하면, 상기 선택 게이트 영역(SR), 상기 고전압영역(c) 및 상기 저전압영역(d)의 상기 상부 산화막(68) 및 상기 전하트랩층(66)을 제거하고, 상기 반도체 기판의 전면에 도전막을 형성한다. 상기 도전막은 폴리실리콘막(70) 및 저저항막(72)을 적

층하여 형성할 수 있다. 상기 저저항막(72)은 텅스텐, 텅스텐실리사이드, 티타늄실리사이드, 코발트실리사이드 중 선택된 하나일 수 있다.

<61> 도 20을 참조하면, 상기 저저항막(72), 상기 폴리실리콘막(70)을 차례로 패터닝하여 상기 셀영역(b)의 상기 워드라인 영역(WR)에 상기 소자분리막들(56)의 상부를 가로지르는 워드 라인들(78w)을 형성하고, 상기 선택 게이트 영역(SR)에 상기 소자분리막들(56)의 상부를 가로지르는 선택 게이트 라인(78s)을 형성하고, 상기 고전압영역(c)에 상기 제2 활성영역(60)의 상부를 가로지르는 고전압 게이트 전극(78h)을 형성하고, 상기 저전압영역(d)에 상기 제3 활성영역(62)을 가로지르는 저전압 게이트 전극(78l)을 형성한다. 상기 워드 라인들(78w)과 상기 제1 활성영역(58) 사이에는 하부 산화막(64), 전하트랩층(66) 및 상부 산화막(68)이 적층된 전하저장절연막(74c)이 개재되고, 상기 전하저장절연막(74c)은 상기 워드 라인 영역(WR)의 전면에 형성되거나, 상기 워드 라인들(78w)의 하부에만 형성될 수 있다. 상기 선택 게이트 라인들(78s)와 상기 제1 활성영역(58) 사이에는 상기 제2 절연막(54) 및 상기 하부 절연막(64)이 개재된다. 또한, 상기 고전압 게이트 전극(78h)과 상기 제2 활성영역(60) 사이에는 패터닝된 제1 산화막(52a) 및 패터닝된 하부 산화막(64a)이 적층된 고전압게이트 절연막(74h)이 개재되고, 상기 저전압 게이트 전극(78l)과 상기 제3 활성영역(62) 사이에는 패터닝된 제2 산화막(52a) 및 패터닝된 하부 산화막(64a)이 적층된 저전압게이트 절연막(74l)이 개재된다.

<62> 이 때, 도시되지는 않았지만, 상기 하부 산화막(64), 상기 전하트랩층(66) 및 상기 상부 산화막(68)이 적층된 전하저장절연막(74c)은 상기 워드라인 영역(WR)의 전면에 덮여질 수 있다. 그러나, 상기 워드 라인들(78w)을 식각마스크로 사용하여 상기 워드 라인들(78w) 사이의 상기 전하저장절연막(74c)을 제거할 수도 있다. 또한, 상기 고전압 게이

트 절연막(74h)은 상기 고전압게이트 전극(78h) 양측의 상기 제2 활성영역(60)의 상에도 덮여질 수 있고, 마찬가지로, 상기 저전압 게이트 절연막(74l)은 상기 저전압 게이트 전극(78l) 양측의 상기 제3 활성영역(62)의 상에도 덮여질 수 있다. 이는 폴리실리콘과 실리콘산화막이 식각선택비를 가지기 때문에 상기 고전압 게이트 전극(78h) 및 상기 저전압 게이트 전극(78l)을 하더라도, 그 하부의 절연막은 식각되지 않고 잔존하기 때문이다. 잔존한 절연막은 과식각공정 또는 세정공정에서 제거될 수도 있으나, 게이트 전극들 양측에 절연막이 잔존하는 것은 본 발명의 범위에 영향을 미치지 않는다.

<63> 계속해서, 도 6에 도시된 것과 같이, 상기 게이트 라인들(78w), 상기 고전압게이트 전극(78h) 및 상기 저전압게이트 전극(78l)을 포함하는 반도체 기판 상에 층간절연막을 형성하고, 상기 층간절연막 내에 상기 워드 라인들(78w)과 평행한 라인형 도전성 패턴 및 상기 워드 라인들(78w)과 평행하게 배열된 복수개의 플러그형 도전성 패턴들을 형성할 수 있다. 상기 라인형 도전성 패턴은 공통소오스 라인에 해당하고, 상기 플러그형 도전성 패턴들은 비트라인 플러그에 해당한다. 이 때, 상기 제2 활성영역(60) 및 상기 제3 활성영역(62)에 전기적으로 접속된 전극들을 함께 형성할 수 있다.

<64> 도 21 내지 도 26은 본 발명의 제2 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

<65> 도 21을 참조하면, 상기 제1 실시예에서 도 13 및 도 14를 참조하여 설명한 것과 같이, 셀 영역(b) 및 저전압 영역(d)에 패드 절연막(53)을 형성하고, 고전압 영역(c)에 제1 산화막(52)을 형성한다. 이어서, 상기 반도체 기판(50)의 전면에 하드마스크막(55)을 형성한다.

- <66> 도 22를 참조하면, 상기 반도체 기판(50)에 복수개의 소자분리막들(56)을 형성한다. 상기 소자분리막들(56)은 상술한 제1 실시예와 마찬가지로 트렌치 소자분리기술 (trench isolation technology)를 사용하여 형성할 수 있다. 상기 소자분리막들(56)은 셀영역(b)에 제1 활성영역(58)을 한정하고, 고전압영역(c)에 제2 활성영역(60)을 한정하고, 저전압영역(d)에 제3 활성영역(62)을 형성한다. 상기 하드마스크막(55)을 제거하고 상기 셀영역(b) 및 상기 저전압영역(d)의 상기 패드 절연막(53)을 제거한다.
- <67> 도 23을 참조하면, 상기 반도체 기판의 전면에서 하부 산화막(64) 및 전하트랩층(66)을 형성하고, 상기 고전압영역(c) 및 상기 저전압영역(d)의 상기 전하트랩층(66)을 제거한다. 이 때, 상기 선택 게이트 영역(SR)의 상기 전하트랩층(66) 또한 제거한다.
- <68> 도 24를 참조하면, 상기 반도체 기판의 전면에서 제2 산화막(76)을 형성하고, 상기 셀영역(b)의 상기 제2 산화막(76)을 제거한다. 상기 제2 산화막(76)은 상기 제1 산화막(52)과 마찬가지로 실리콘산화막, 실리콘산화질화막 및 절연성 금속산화막 중 선택된 하나로 형성할 수 있다. 상기 전하트랩층(66)은 실리콘질화막으로 형성할 수 있기 때문에 상기 셀영역(b)의 상기 제2 산화막(76)은 상기 전하트랩층(66)을 식각저지막으로 사용하여 제거할 수 있다. 이와 다른 방법으로, 열산화공정을 적용하여 상기 제2 산화막(76)을 형성할 경우, 상기 전하트랩층(66) 상에는 상기 제2 산화막(76)이 형성되지 않기 때문에 상기 셀 영역(b)에서 상기 제2 산화막(76)을 제거하는 단계가 필요없다.
- <69> 도 25를 참조하면, 상기 반도체 기판의 전면에서 상부 산화막(68)을 형성하고, 상기 고전압영역(c) 및 상기 저전압영역(d)의 상기 상부 산화막(68)을 제거한다. 상기 상부 산화막(68)은 절연성 금속산화물로서, 예컨대 알루미늄산화막으로 형성할 수 있다. 일반적으로 알루미늄산화막은 실리콘산화막과 식각선택비를 가지는 것으로 알려져 있다. 따

로서, 상기 고전압영역(c) 및 상기 저전압영역(d)의 상기 상부 산화막(68)을 제거하는 동안 그 하부의 상기 제2 산화막(76)은 식각되지 않는다. 결과적으로, 상기 워드라인 영역(WR)에는 하부 산화막(64), 전하트랩층(66) 및 상부 산화막(68)이 적층되고, 상기 선택 게이트 영역(SR)에는 하부 산화막(64), 제2 산화막(76) 및 상부 산화막(68)이 적층되고, 상기 고전압영역(c)에는 제1 산화막(52), 하부 산화막(64) 및 제2 산화막(76)의 3중층이 적층되고, 상기 저전압영역(d)에는 하부 산화막(64) 및 제2 산화막(76)의 2중층이 적층된다.

<70> 계속해서, 도 25를 참조하면, 상기 반도체 기판의 전면에 도전막을 형성한다. 상기 도전막은 폴리실리콘막(70)과 저저항막(72)을 적층하여 형성할 수 있다. 상기 저저항막(72)은 제1 실시예와 마찬가지로 텅스텐, 텅스텐실리사이드, 티타늄실리사이드, 코발트실리사이드 중 선택된 하나일 수 있다.

<71> 도 26을 참조하면, 상기 저저항막(72), 상기 폴리실리콘막(70)을 차례로 패터닝하여 상기 워드라인 영역(WR)에 상기 소자분리막들(56)의 상부를 가로지르는 워드 라인들(78w)을 형성하고, 상기 선택 게이트 영역(SR)에 상기 소자분리막들(56)의 상부를 가로지르는 선택 게이트 라인(78s), 상기 고전압영역(c)에 상기 제2 활성영역(60)의 상부를 가로지르는 고전압 게이트 전극(78h)을 형성하고, 상기 저전압영역(d)에 상기 제3 활성영역(62)을 가로지르는 저전압 게이트 전극(78l)을 형성한다. 상기 게이트라인들(78w)과 상기 제1 활성영역(58) 사이에는 하부 산화막(64), 전하트랩층(66) 및 상부 산화막(68)이 적층된 전하저장절연막(74c)이 개재되고, 상기 전하저장절연막(74c)은 상기 워드라인 영역(WR) 상부의 전면을 덮는다. 또한, 상기 고전압게이트 전극(78h)과 상기 제2 활성영역(60) 사이에는 패터닝된 제1 산화막(52a), 패터닝된 하부 산화막(64a) 및 패터닝된

제2 산화막(76a)이 적층된 고전압게이트 절연막(74h)이 개재되고, 상기 저전압 게이트 전극(781)과 상기 제3 활성영역(62) 사이에는 패터닝된 하부 절연막(64a) 및 패터닝된 제2 산화막(76a)이 적층된 저전압게이트 절연막(741)이 개재된다.

<72> 도 27 내지 도 32는 본 발명의 제3 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

<73> 도 27를 참조하면, 셀 영역(b)의 상기 워드라인 영역(WR)에 패드 산화막(53a) 및 패드 질화막(53b)이 차례로 적층된 제1 패드절연막(53)을 형성하고, 상기 저전압 영역(d) 및 상기 선택 게이트 영역(SR)에는 패드 산화막(53a)을 형성하고, 상기 고전압 영역(c)에 제1 산화막(52)을 형성한다.

<74> 도 28을 참조하면, 상기 반도체 기판(50)에 소자분리막들(56)을 형성하여 셀 영역(b)에 제1 활성영역(58)을 한정하고, 고전압영역(c)에 제2 활성영역(60)을 한정하고, 저전압영역(d)에 제3 활성영역(62)을 한정한다. 상기 저전압 영역(d) 및 상기 선택 게이트 영역(SR)의 상기 패드 산화막(53a)을 제거한다. 이 때, 상기 고전압 영역(c)의 상기 제1 산화막(52)의 일부분이 식각되어 상기 제1 산화막(52)의 두께가 얇아진다. 따라서, 이를 감안하여 상기 제1 산화막(52)을 형성하는 것이 바람직하다. 상기 워드라인 영역(WR)은 상기 패드 질화막(53b)에 의해 상기 패드 산화막(53a)의 식각이 방지된다.

<75> 도 29를 참조하면, 상기 반도체 기판(50)의 전면면에 제2 산화막(86)을 형성하고, 상기 워드라인 영역(WR)의 상기 제2 산화막(86)을 제거한다. 상기 제2 산화막(86)을 열산화공정을 적용하여 형성할 경우 상기 패드 질화막(53b) 상에는 상기 제2 산화막(86)이 형성되지 않는다. 따라서, 상기 워드라인 영역(WR)의 상기 제2 산화막(86)의 제거 단계는 불필요하다.

- <76> 도 30을 참조하면, 상기 반도체 기판의 전면에 하부 산화막(64), 전하트랩층(66) 및 상부 산화막(68)을 형성하고, 상기 선택 게이트 영역(SR), 상기 고전압영역(c) 및 상기 저전압영역(d)의 상기 상부 산화막(68) 및 상기 전하트랩층(66)을 제거한다.
- <77> 도 31을 참조하면, 상기 반도체 기판의 전면에 도전막을 형성한다. 상기 도전막은 폴리실리콘막(70)과 저저항막(72)을 적층하여 형성할 수 있다. 상기 저저항막(72)은 제1 실시예와 마찬가지로 텅스텐, 텅스텐실리사이드, 티타늄실리사이드, 코발트실리사이드 중 선택된 하나일 수 있다.
- <78> 도 32를 참조하면, 상기 저저항막(72), 상기 폴리실리콘막(70)을 차례로 패터닝하여 상기 워드라인 영역(WR)에 상기 소자분리막들(56)의 상부를 가로지르는 워드 라인들(78w)을 형성하고, 상기 선택 게이트 영역(SR)에 상기 소자분리막들(56)의 상부를 가로지르는 선택 게이트 라인(78s)이 형성하고, 상기 고전압영역(c)에 상기 제2 활성영역(60)의 상부를 가로지르는 고전압 게이트 전극(78h)을 형성하고, 상기 저전압영역(d)에 상기 제3 활성영역(62)을 가로지르는 저전압 게이트 전극(78l)을 형성한다. 상기 워드 라인들(78w)과 상기 제1 활성영역(58) 사이에는 하부 산화막(64), 전하트랩층(66) 및 상부 산화막(68)이 적층된 전하저장절연막(74c)이 개재된다. 상기 전하저장절연막(74c)은 상기 워드라인 영역(WR) 상부의 전면을 덮는다. 상기 선택 게이트 라인(78s)과 상기 제1 활성영역(58) 사이에는 상기 제2 산화막(86) 및 상기 하부 산화막(64)이 개재된다. 또한, 상기 고전압게이트 전극(78h)과 상기 제2 활성영역(60) 사이에는 패터닝된 제1 산화막(52a), 패터닝된 제2 산화막(86a) 및 패터닝된 하부 산화막(64a)이 적층된 고전압게이트 절연막(74h)이 개재되고, 상기 저전압 게이트 전극(78l)과 상기 제3 활성영역(62)

사이에는 패터닝된 제2 산화막(86a) 및 패터닝된 하부 산화막(64a)이 적층된 저전압게이트 절연막(741)이 개재된다.

- <79> 도 33 내지 도 36은 본 발명의 제4 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.
- <80> 상술한 제3 실시예의 도 27 내지 도 29를 참조하여 설명한 것과 같이, 상기 제2 산화막(86) 형성단계까지 수행한다. 계속해서 도 33을 참조하면, 상기 제2 산화막(86) 상에 제1 도전막(88)을 형성한다. 상기 제1 도전막(88)은 폴리실리콘막으로 형성하는 것이 바람직하다.
- <81> 도 34를 참조하면, 상기 워드라인 영역(WR)의 상기 제1 도전막(88) 및 상기 패드 절연막(73)을 제거하여 상기 제1 활성영역(58)을 노출시키고, 반도체 기판(50)의 전면 하부 산화막(64), 전하트랩층(66) 및 상부 산화막(68)을 차례로 적층하고, 상기 상부 산화막(68) 상에 제2 도전막(90)을 형성한다. 상기 제2 도전막(90)은 폴리실리콘으로 형성하는 것이 바람직하다.
- <82> 도 35을 참조하면, 상기 선택 게이트 영역(SR), 상기 고전압영역(c) 및 상기 저전압영역(d)에서, 상기 제2 도전막(90), 상기 상부 산화막(68), 상기 전하트랩층(66) 및 상기 하부 산화막(64)을 제거한다. 그 결과, 상기 워드라인 영역(WR)은 제2 도전막(90)으로 덮여지고, 상기 선택 게이트 영역(SR), 상기 고전압영역(c) 및 상기 저전압영역(d)은 제2 도전막(88)으로 덮여진다. 계속해서, 도 35을 참조하면, 상기 반도체 기판(50)의 전면 저저항막(92)을 형성한다. 상기 저저항막(92)은 텅스텐, 텅스텐실리사이드, 티타늄실리사이드, 코발트실리사이드 중 선택되어진 하나로 형성할 수 있다. 상기 저저항막(92)을 형성하기 전에 폴리실리콘막을 반도체 기판 전면에서 더 형성할 수도 있다.

<83> 도 36을 참조하면, 상기 워드라인 영역(WR)에서는 상기 저저항막(92), 상기 제2 도전막(90)을 차례로 패터닝하고, 상기 선택 게이트 영역(SR), 상기 고전압영역(c) 및 상기 저전압영역(d)에서는 상기 저저항막(92) 및 상기 제1 도전막(88)을 패터닝한다. 그 결과, 상기 워드라인 영역(WR)에는 복수개의 평행한 워드 라인들(78w)이 형성되고, 상기 선택 게이트 영역(SR)에는 상기 워드라인들(78w)과 평행한 선택 게이트 라인들(78s)가 형성된다. 상기 고전압 영역(c)는 고전압게이트 전극(78h)이 형성되고, 상기 저전압영역(d)에는 저전압게이트 전극(78l)이 형성된다. 상기 고전압게이트 전극(78h)과 상기 제2 활성영역(60) 사이에 패터닝된 제1 산화막(52), 패터닝된 제2 산화막(86a)이 적층된 고전압 게이트 절연막(74h)이 개재되고, 상기 저전압게이트 전극(78l)과 상기 제3 활성영역(62) 사이에는 패터닝된 제2 산화막으로 형성된 저전압 게이트 절연막(74l)이 개재된다.

<84> 도 37 내지 도 41은 본 발명의 제5 실시예에 따른 비휘발성 메모리 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

<85> 도 37을 참조하면, 본 발명의 제5 실시예는 반도체 기판(50) 상에 셀영역(b), 고전압 영역(c) 및 저전압 영역(d)을 정의하고, 상기 셀 영역(b)의 상기 워드라인 영역(WR)에 패드 산화막(53a) 및 패드 질화막(53b)이 적층된 패드 절연막(53)을 형성한다. 상기 고전압영역(c)에 제1 산화막(52)을 형성하고, 상기 선택 게이트 영역(SR) 및 상기 저전압영역(d)에 제2 산화막(54)을 형성한다.

<86> 계속해서, 도 37을 참조하면, 상기 제1 산화막(52), 상기 제2 산화막(54) 및 상기 패드 절연막(53)이 형성된 반도체 기판 상에 제1 도전막(94) 및 하드마스크막(95)을 형

성한다. 상기 제1 도전막(94)은 폴리실리콘으로 형성할 수 있고, 상기 하드마스크막(95)은 실리콘질화막으로 형성할 수 있다.

<87> 도 38를 참조하면, 상기 반도체 기판(50)에 트렌치 소자분리막들(56)을 형성하고, 상기 하드마스크막(95)을 제거한다. 상기 소자분리막들(56)은 통상의 자기정렬 얇은 트렌치 격리기술(self aligned shallow trench isolation technology)를 사용하여 형성할 수 있다. 상기 소자분리막들(56)은 상기 셀영역(b)에 제1 활성영역(58)을 한정하고, 상기 고전압영역(c)에 제2 활성영역(60)을 한정하고, 상기 저전압영역(d)에 제3 활성영역(62)을 한정한다. 본 발명의 제5 실시예에서, 상기 각 활성영역들(58, 60, 62) 상에는 제1 도전막 패턴(94a)이 형성된다. 상기 제1 도전막 패턴(94a)은 상기 소자분리막들(56) 사이에 위치하고, 그 측벽은 상기 소자분리막의 측벽과 접한다.

<88> 도 39를 참조하면, 상기 워드라인 영역(WR)의 상기 제1 도전막 패턴(94a) 및 상기 패드 절연막(53)을 제거한다. 상기 패드 절연막(53)이 제거되어 상기 제1 활성영역(58)이 노출된 반도체 기판의 전면에는 하부 산화막(64), 전하트랩층(66) 및 상부 산화막(68)을 차례로 적층하고, 상기 상부 산화막(68) 상에 제2 도전막(96)을 형성한다. 상기 제2 도전막(96)은 폴리실리콘으로 형성할 수 있다.

<89> 도 40을 참조하면, 상기 선택 게이트 영역(SR), 상기 고전압영역(c) 및 상기 저전압영역(d)의 상기 제2 도전막(96), 상기 상부 산화막(68), 상기 전하트랩층(66) 및 상기 하부 산화막(64)을 제거하여 상기 제1 도전막 패턴(94a)과 소자분리막들(56)을 노출시킨다. 상기 선택 게이트 영역(SR), 상기 고전압영역(c) 및 상기 저전압영역(d)의 상기 제1 도전막 패턴(94a)과 상기 소자분리막들(56)이

노출된 반도체 기판의 전면에 제3 도전막(98) 및 저저항막(100)을 형성한다. 상기 제3 도전막(98)은 폴리실리콘으로 형성하는 것이 바람직하고, 상기 저저항막(100)은 텅스텐, 텅스텐실리사이드, 티타늄실리사이드, 코발트실리사이드 중 선택된 하나로 형성할 수 있다.

<90> 도 41을 참조하면, 상기 워드라인 영역(WR)에서 상기 저저항막(100), 상기 제3 도전막(98) 및 상기 제2 도전막(96)을 패터닝하여 복수개의 평행한 워드 라인들을 형성하고, 상기 선택 게이트 영역(SR)에서 상기 저저항막(100), 상기 제3 도전막(98) 및 상기 제1 도전막 패턴(94a)을 패터닝하여 상기 워드 라인들과 평행한 선택 게이트 라인들을 형성한다. 상기 고전압영역(c) 및 상기 저전압영역(d)에서 상기 저저항막(100), 상기 제3 도전막(98) 및 상기 제1 도전막 패턴(94a)을 패터닝하여 상기 고전압영역(c)에 고전압 게이트 전극(78h)을 형성하고, 상기 저전압영역(d)에 저전압게이트 전극(78l)을 형성한다. 상기 게이트 라인들(78w)은 제2 도전막 패턴(96a), 제3 도전막 패턴(98a) 및 저저항 패턴(100a)의 3중층이고, 상기 고전압게이트 전극(78h) 및 상기 저전압게이트 전극(78l)은 패터닝된 제1 도전막 패턴(94b), 제3 도전막 패턴(98a) 및 저저항 패턴(100a)의 3중층이다. 또한, 상기 고전압게이트 전극(78h)과 상기 제2 활성영역(60) 사이에 제1 산화막으로 형성된 고전압게이트 절연막(74h)이 개재되고, 상기 저전압게이트 전극(78l)과 상기 제3 활성영역(62) 사이에 제2 산화막으로 형성된 저전압게이트 절연막(74l)이 개재된다.

<91> 본 발명의 실시예들에서, 상기 하부 산화막(64)은 실리콘산화막, 실리콘산화

질화막(silicon oxynitride) 및 금속산화막(metallic oxide) 중 선택되어진 하나로 형성할 수 있다. 상기 전하트랩층(66)은 실리콘질화막 및 실리콘산화질화막 중 선택된 하나로 형성할 수 있다. 바람직하게는 상기 전하트랩층(66)은 상기 하부 산화막과 식각선택비를 가지는 물질을 사용하여 형성할 수 있다. 상기 상부 산화막(68)은 상기 하부 산화막(64)과 마찬가지로 실리콘산화막, 실리콘산화질화막(silicon oxynitride) 및 절연성 금속산화막(metallic oxide) 중 선택되어진 하나로 형성할 수 있다. 바람직하게는 상기 상부 산화막(68)은 절연성 금속산화막으로써, 예컨대 알루미늄산화막으로 형성할 수 있다. 또한, 본 발명의 실시예들에 따른 비휘발성 메모리 소자에서, 상기 전하저장절연막(74c)은 셀영역의 전면에 덮이거나, 상기 게이트 라인들 사이의 상기 전하저장절연막(74c)을 제거하여 상기 전하저장절연막(74c)은 상기 게이트 라인들 하부에만 형성될 수도 있다. 더 나아가서, 상기 고전압게이트 절연막(74h) 및 상기 저전압게이트 절연막(74i)은 게이트 전극의 하부에만 형성되거나, 게이트 전극 양측의 활성영역 상부에도 형성될 수 있다.

【발명의 효과】

<92> 상술한 것과 같이 본 발명에 따르면, 다층의 절연막으로 이루어진 전하저장절연막이 활성영역 상에만 형성되지 않고, 셀영역의 전면에 형성되거나, 게이트 패턴들을 따라 활성영역들 및 소자분리막들의 상부를 가로지른다. 또한, 상기 전하저장절연막을 상기 소자분리막들을 형성한 이후에 형성하기 때문에 상기 전하저장절연막에 가해지는 스트레스를 현저히 줄일 수 있다.

<93> 더 나아가서, 상기 전하저장절연막의 최상층을 절연성 금속산화막으로 형성함으로써, 상기 금속산화막을 식각저지막으로 사용하여 층간절연막을 패터닝함으로써, 콘택홀을 형성하거나 그루브를 형성하는 동안 반도체 기판의 손상을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판에 정의된 셀영역;

상기 셀 영역에 형성되어 활성화영역들을 한정하는 복수개의 평행한 트렌치 소자분리막들;

상기 활성화영역들 및 상기 소자분리막들 상에 콘포말하게 형성된 전하저장절연막;

상기 전하저장절연막 상에 형성되되, 상기 활성화영역들의 상부를 가로지르는 복수개의 평행한 워드 라인들; 및

상기 워드 라인들 사이에 배치되되, 상기 전하저장절연막을 관통하여 상기 활성화영역에 전기적으로 접속된 도전성 패턴들을 포함하는 비휘발성 메모리 소자.

【청구항 2】

제1 항에 있어서,

상기 소자분리막의 상부면은 상기 활성화영역 표면보다 높은 레벨에 위치하는 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 3】

제1 항에 있어서,

상기 워드라인들이 상기 소자분리막 상에 형성된 상기 전하저장절연막 상부로 신장된 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 4】

제1 항에 있어서,

상기 전하저장절연막은 차례로 적층된 하부산화막, 전하트랩층 및 상부산화막을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 5】

제4 항에 있어서,

상기 상부산화막은 절연성 금속산화막인 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 6】

셀영역, 고전압영역 및 저전압영역이 구비된 반도체 기판에 형성되어 상기 셀영역에 복수개의 평행한 제1 활성영역들, 상기 고전압영역에 제2 활성영역들, 상기 저전압영역에 제3 활성영역들을 한정하는 트렌치 소자분리막들;

상기 제1 활성영역들 및 상기 소자분리막들 상에 콘포말하게 형성된 전하저장절연막;

상기 전하저장절연막 상에 형성되되, 상기 소자분리막들의 상부를 가로지르는 복수개의 평행한 게이트 라인들;

상기 제2 활성영역의 상부 및 상기 제3 활성영역의 상부를 각각 가로지르는 고전압 게이트 패턴 및 저전압 게이트 패턴;

상기 고전압 게이트 패턴 및 상기 제2 활성영역 사이와, 상기 저전압 게이트 패턴 및 상기 제3 활성영역 사이에 각각 개재된 고전압 게이트 절연막 및 저전압 게이트 절연막을 포함하는 비휘발성 메모리 소자.

【청구항 7】

제6 항에 있어서,

상기 소자분리막의 상부면은 상기 활성영역 표면보다 높은 레벨에 위치하는 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 8】

제6 항에 있어서,

상기 전하저장절연막은 차례로 적층된 하부산화막, 전하트랩층 및 상부산화막을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 9】

제8 항에 있어서,

상기 상부산화막은 절연성 금속산화막인 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 10】

제8 항에 있어서,

상기 고전압 게이트 절연막은 차례로 적층된 제1 산화막 및 상기 하부산화막을 포함하고,

상기 저전압 게이트 절연막은 차례로 적층된 제2 산화막 및 상기 하부산화막을 포함하되,

상기 제1 산화막은 상기 제2 산화막보다 두꺼운 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 11】

제10 항에 있어서,

상기 셀 영역은 워드라인 영역과, 상기 워드라인 영역 양측에 정의된 선택 게이트 영역을 포함하고,

상기 게이트 라인들은 상기 워드라인 영역에 배치된 복수개의 워드라인들 및 상기 워드라인 영역 양측의 상기 선택 게이트 영역들에 각각 배치된 접지 선택 게이트 라인 및 스트링 선택 게이트 라인을 포함하되,

상기 선택 게이트 영역의 상기 접지 선택 게이트 라인 및 상기 스트링 선택 게이트 라인 하부의 상기 전하저장절연막과 상기 제1 활성영역 사이에 상기 제2 산화막이 더 개재된 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 12】

제8 항에 있어서,

상기 고전압 게이트 절연막은 차례로 적층된 제1 산화막, 상기 하부산화막 및 제2 산화막을 포함하고,

상기 저전압 게이트 절연막은 차례로 적층된 상기 하부산화막 및 상기 제2 산화막을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 13】

제12 항에 있어서,

상기 셀 영역은 워드라인 영역과, 상기 워드라인 영역 양측에 정의된 선택 게이트 영역을 포함하고,

상기 게이트 라인들은 상기 워드라인 영역에 배치된 복수개의 워드라인들 및 상기 워드라인 영역 양측의 상기 선택 게이트 영역들에 각각 배치된 접지 선택 게이트 라인 및 스트링 선택 게이트 라인을 포함하되,

상기 전하 저장 절연막은 상기 워드라인 영역에 형성되고,

상기 선택 게이트 영역의 상기 스트링 선택 게이트 라인 및 상기 제1 활성영역들 사이와, 상기 접지 선택 게이트 라인 및 상기 제1 활성영역들 사이에 상기 하부산화막 및 상기 제2 산화막이 개재된 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 14】

제12 항에 있어서,

상기 고전압 게이트 절연막 및 상기 저전압 게이트 절연막은 상기 제2 산화막 상에 상기 상부산화막을 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 15】

제8 항에 있어서,

상기 고전압 게이트 산화막은 차례로 적층된 제1 산화막 및 제2 산화막을 포함하고,

상기 저전압 게이트 산화막은 상기 제2 산화막인 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 16】

제15 항에 있어서,

상기 셀 영역은 워드라인 영역과, 상기 워드라인 영역 양측에 정의된 선택 게이트 영역을 포함하고,

상기 게이트 라인들은 상기 워드라인 영역에 배치된 복수개의 워드라인들 및 상기 워드라인 영역 양측의 상기 선택 게이트 영역들에 각각 배치된 접지 선택 게이트 라인 및 스트링 선택 게이트 라인을 포함하되,

상기 선택 게이트 영역의 상기 전하저장절연막과 상기 제1 활성영역들 사이에 상기 제2 산화막이 더 개재된 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 17】

제15 항에 있어서,

상기 각 게이트 라인은 제2 도전막 및 제3 도전막이 적층되어 형성되고,

상기 고전압 게이트 전극 및 상기 저전압 게이트 전극은 제1 도전막 및 상기 제3 도전막이 적층되어 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

【청구항 18】

셀영역, 고전압영역 및 저전압영역이 구비된 반도체 기판에 형성되어 상기 셀영역에 복수개의 평행한 제1 활성영역들, 상기 고전압영역에 제2 활성영역들, 상기 저전압영역에 제3 활성영역들을 한정하는 트렌치 소자분리막들;

상기 제1 활성영역들 및 상기 소자분리막들 상에 콘포말하게 형성되며 차례로 적층된 하부산화막, 전하트랩층 및 상부산화막을 포함하는 전하저장절연막;

상기 전하저장절연막 상에 형성되되, 상기 소자분리막들의 상부를 가로지르는 복수개의 평행한 게이트 라인들;

상기 셀 영역은 워드라인 영역과, 상기 워드라인 영역 양측에 정의된 선택 게이트 영역을 포함하고,

상기 게이트 라인들은 상기 워드라인 영역에 배치된 복수개의 워드라인들 및 상기 워드라인 영역 양측의 상기 선택 게이트 영역들에 각각 배치된 접지 선택 게이트 라인 및 스트링 선택 게이트 라인을 포함하되,

상기 워드라인 하부에 형성된 상기 전하저장절연막의 상기 하부 산화막의 두께는 상기 접지 선택 게이트 라인 및 스트링 선택 게이트 라인 하부에 형성된 상기 전하저장절연막의 상기 하부산화막의 두께보다 얇은 것을 특징으로 하고 ;

상기 제 2 활성영역의 상부 및 상기 제3 활성영역의 상부를 각각 가로지르는 고전압 게이트 패턴 및 저전압 게이트 패턴; 및

상기 고전압 게이트 패턴 및 상기 제2 활성영역 사이와, 상기 저전압 게이트 패턴 및 상기 제3 활성영역 사이에 각각 개재된 고전압 게이트 절연막 및 저전압 게이트 절연막을 포함하는 비휘발성 메모리 소자.

【청구항 19】

셀영역이 정의된 반도체 기판에 패드절연막(pad insulating layer) 및 하드마스크막(hard mask layer)을 형성하는 단계;

상기 하드마스크막, 상기 패드절연막 및 상기 반도체 기판을 패터닝하여 상기 셀 영역에 복수개의 평행한 트렌치들을 형성하는 단계;

상기 셀 영역의 전면에 상기 트렌치들을 채우는 트렌치 절연막을 형성하는 단계;

화학적기계적연마공정을 사용하여 상기 트렌치 절연막을 연마하여 상기 하드마스크막을 노출시킴과 동시에, 상기 트렌치들을 채우고 복수개의 평행한 활성영역들을 한정하는 소자분리막들을 형성하는 단계;

상기 하드마스크막 및 상기 패드 절연막을 제거하는 단계;

상기 활성영역들 및 상기 소자분리막들 상에 전하저장절연막을 콘포말하게 형성하는 단계;

상기 전하저장절연막 상에 상기 소자분리막들의 상부를 가로지르는 복수개의 평행한 게이트 라인들을 형성하는 단계;

소정의 상기 게이트 라인들 사이에 상기 전하저장절연막을 관통하여 상기 활성영역에 전기적으로 접속된 도전성 패턴들을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

【청구항 20】

제19 항에 있어서,

상기 전하저장절연막은 하부산화막, 전하트랩층 및 상부산화막을 차례로 적층하여 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 21】

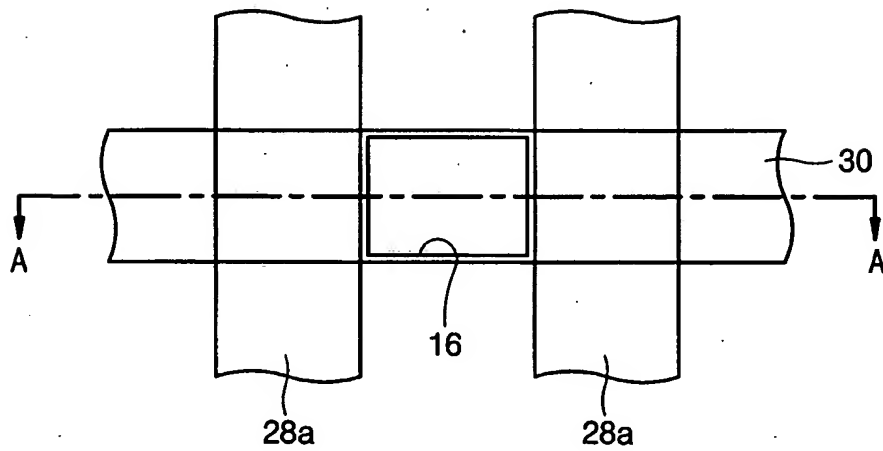
제20 항에 있어서,

상기 상부산화막은 절연성 금속산화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【도면】

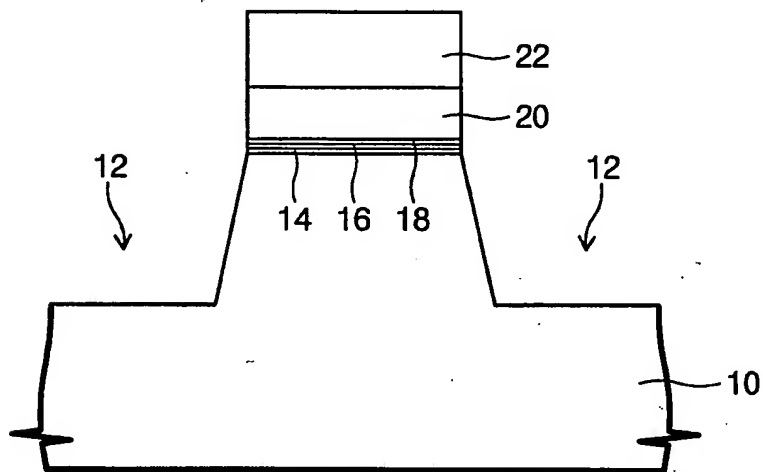
【도 1】

(종래 기술)



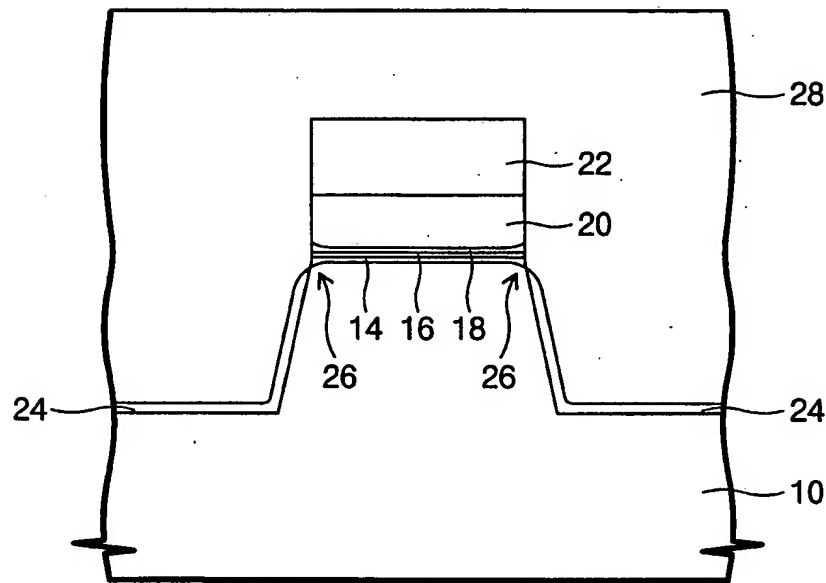
【도 2】

(종래 기술)



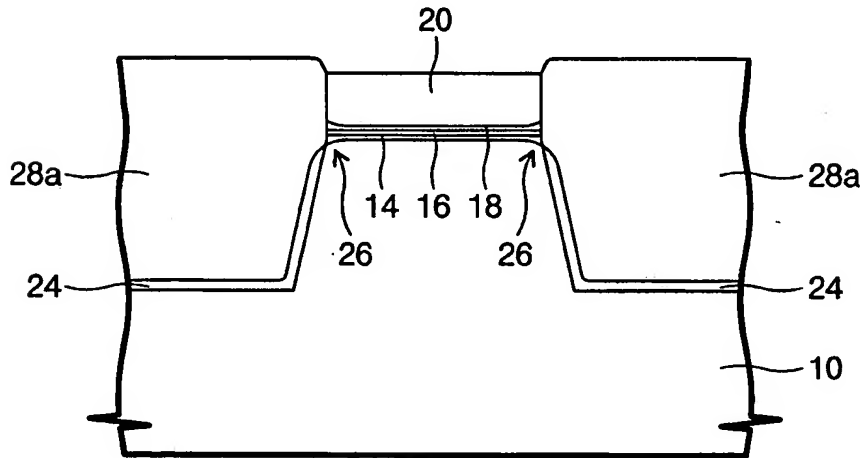
【도 3】

(종래 기술)



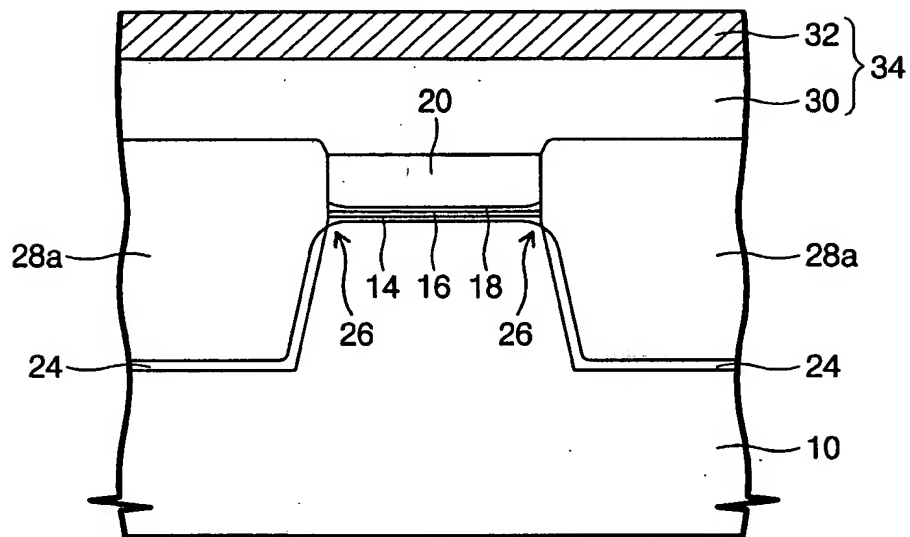
【도 4】

(종래 기술)

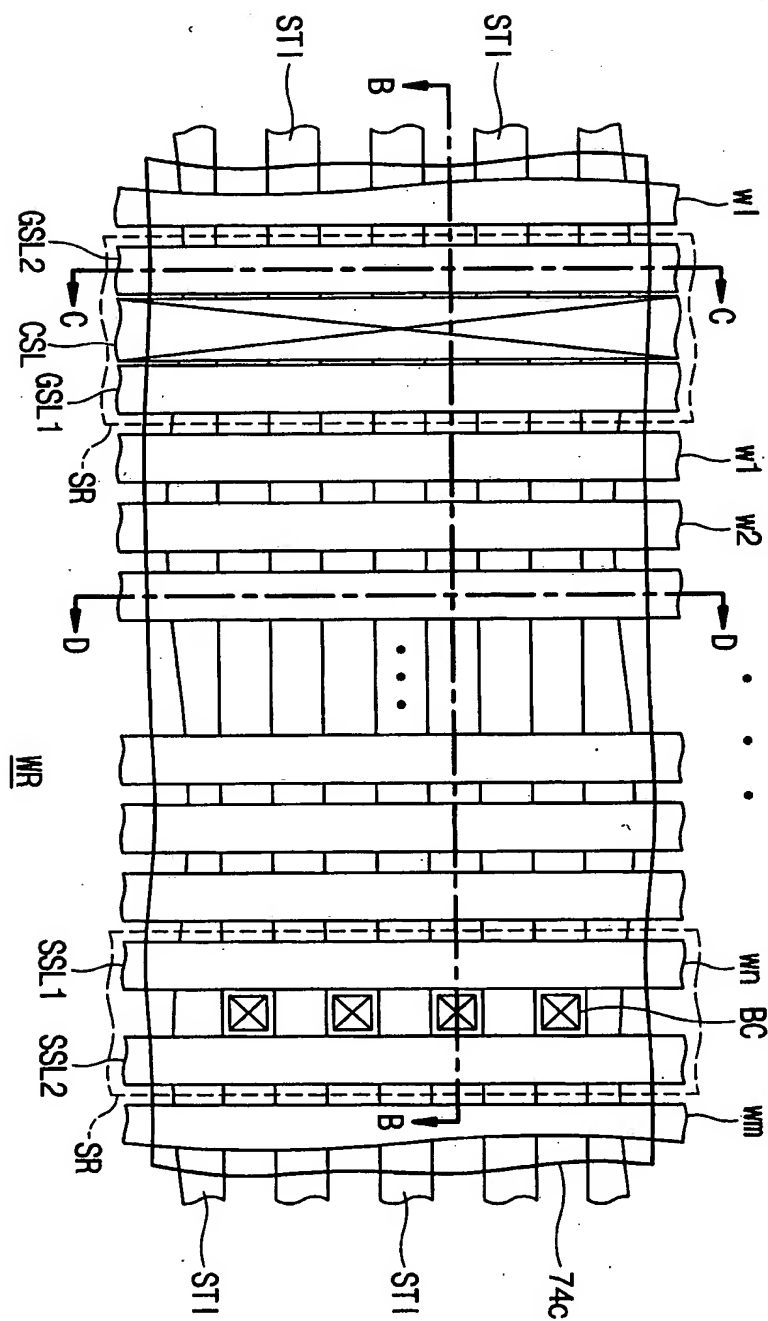


· 【도 5】

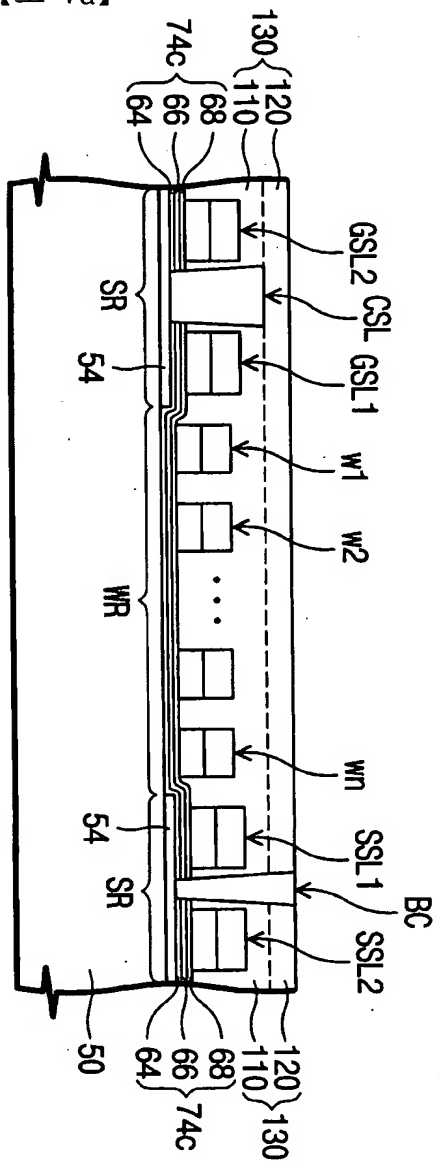
(종래 기술)



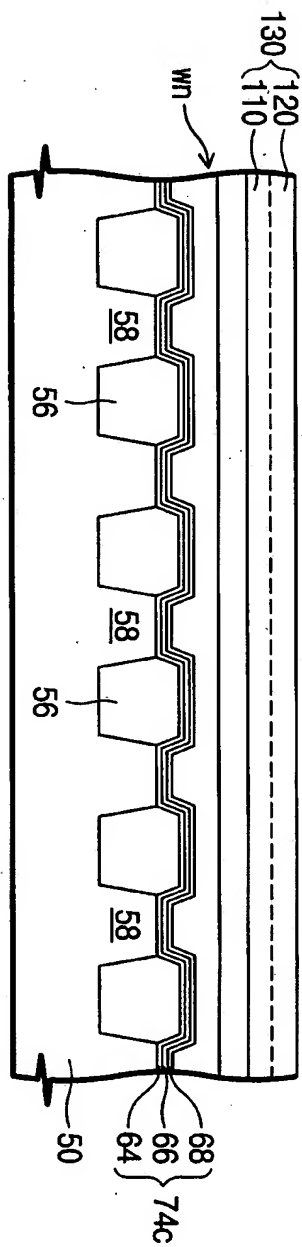
【도 6】



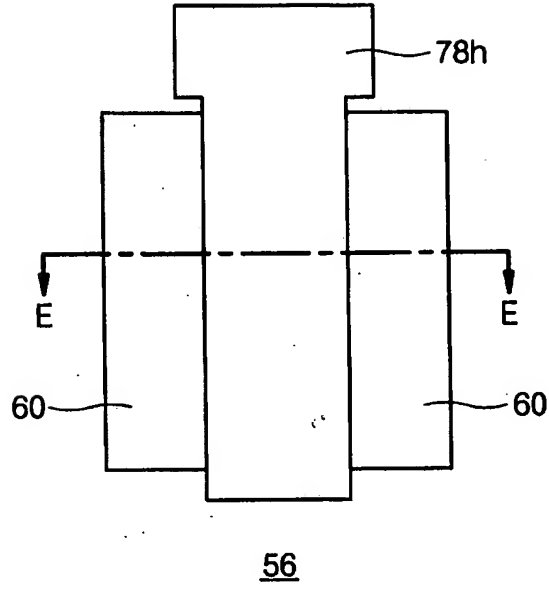
【도 7a】



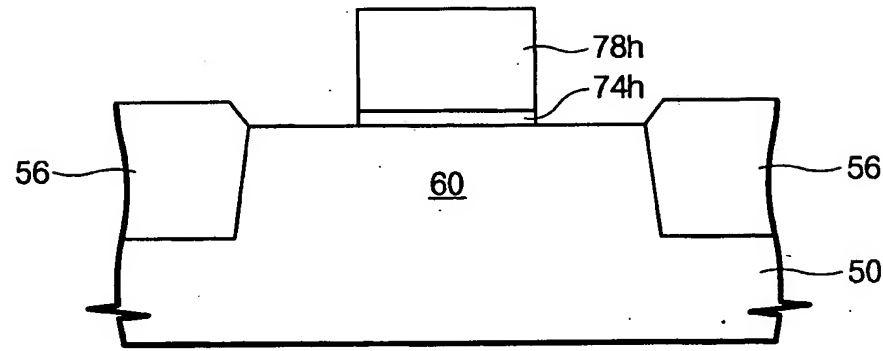
【도 8】



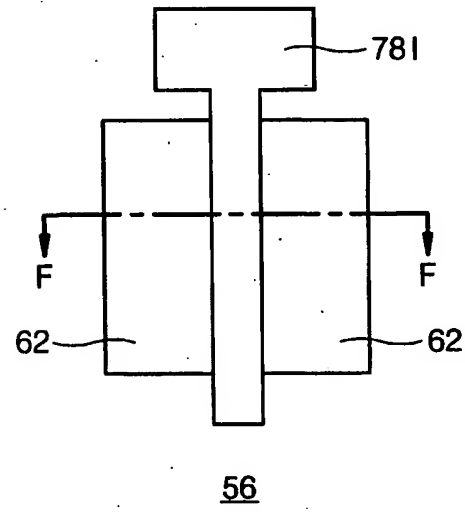
【도 9】



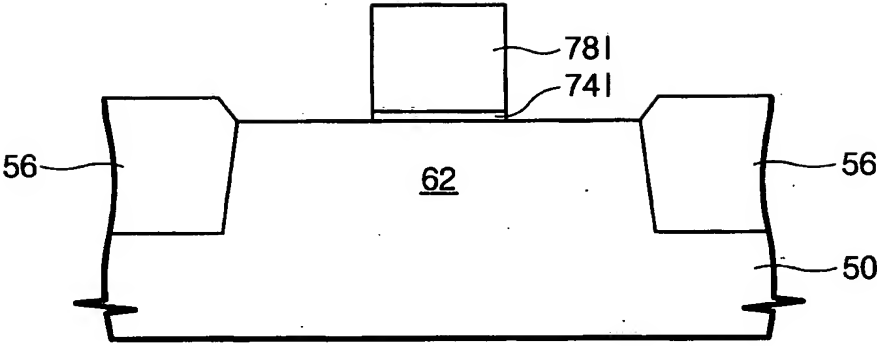
【도 10】



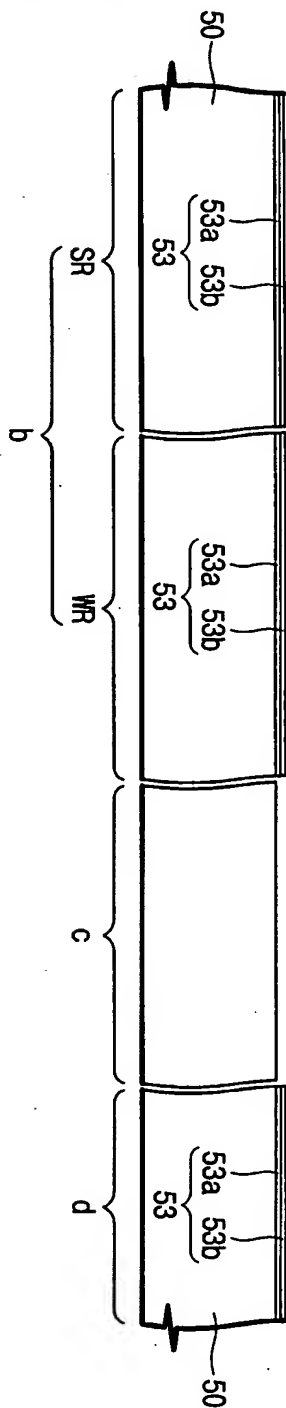
【도 11】



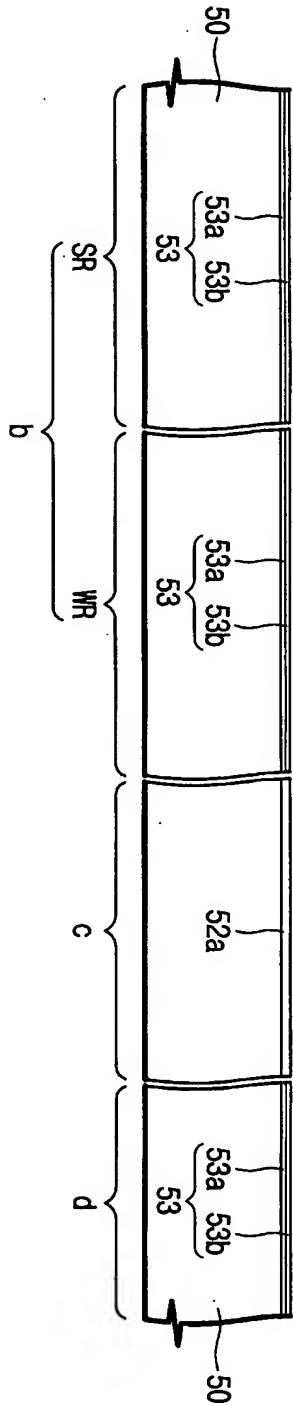
【도 12】



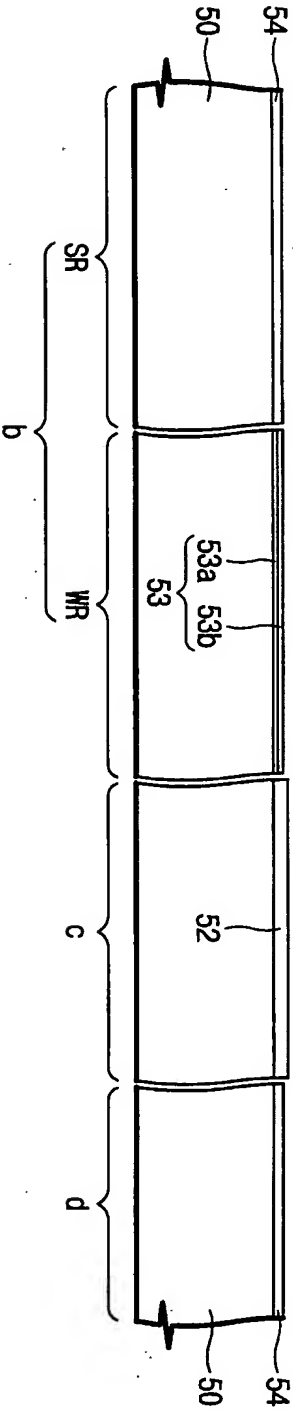
【도 13】



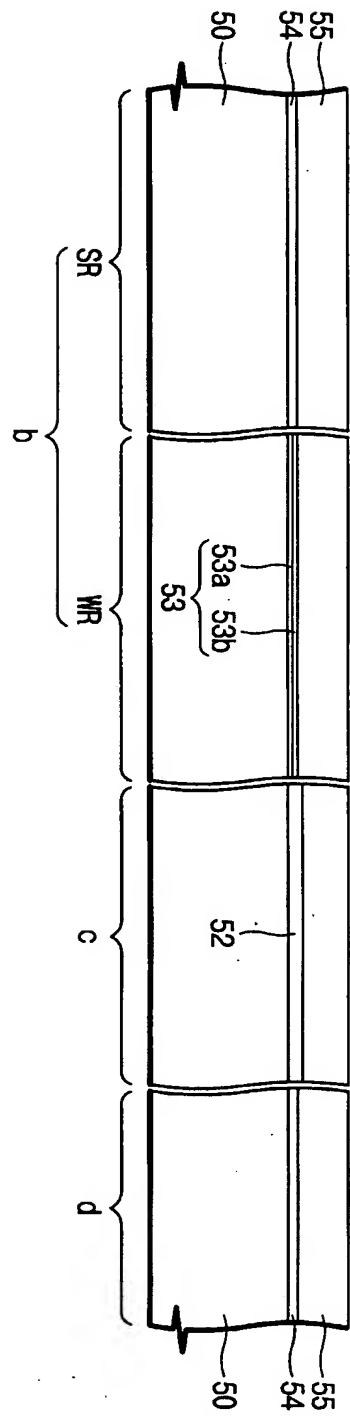
【도 14】



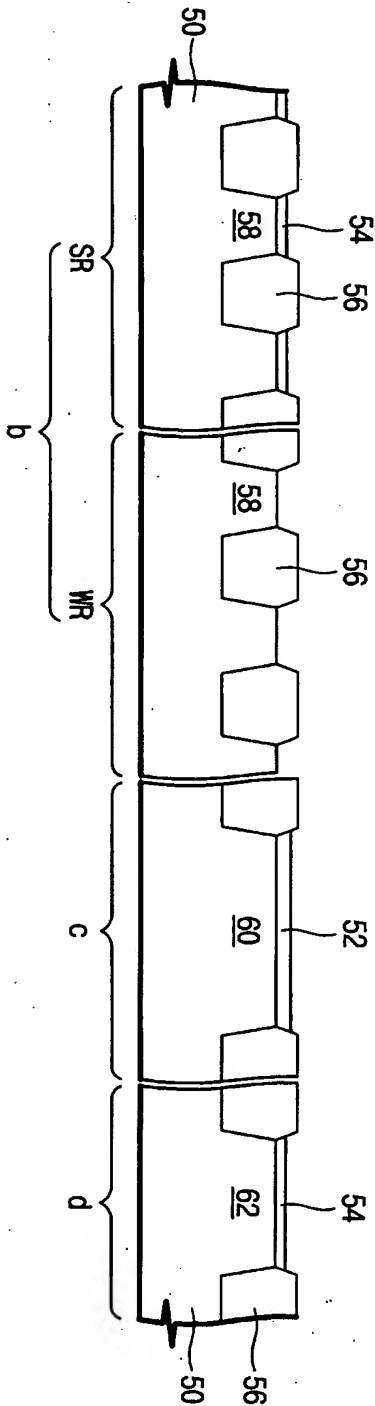
【도 15】



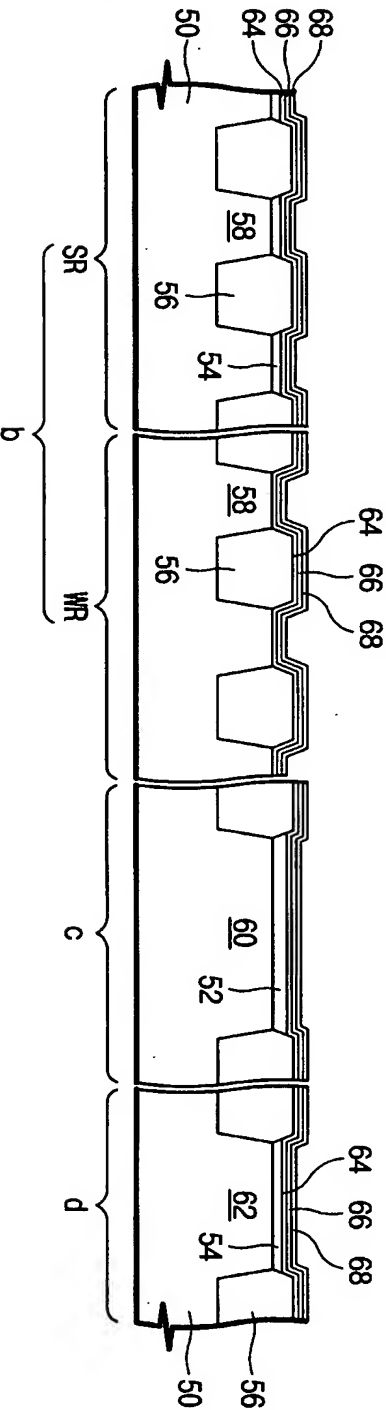
【도 16】



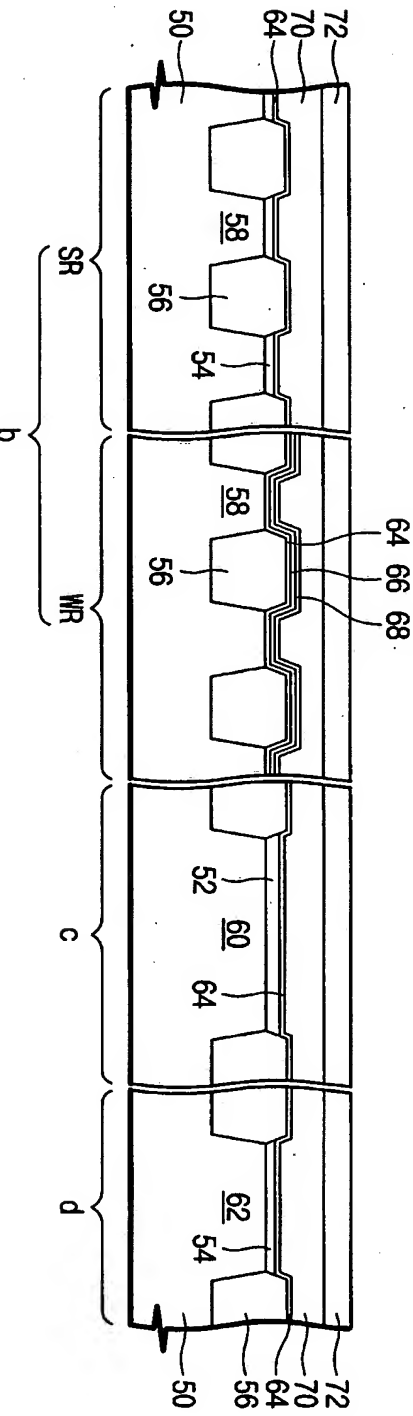
【도 17】



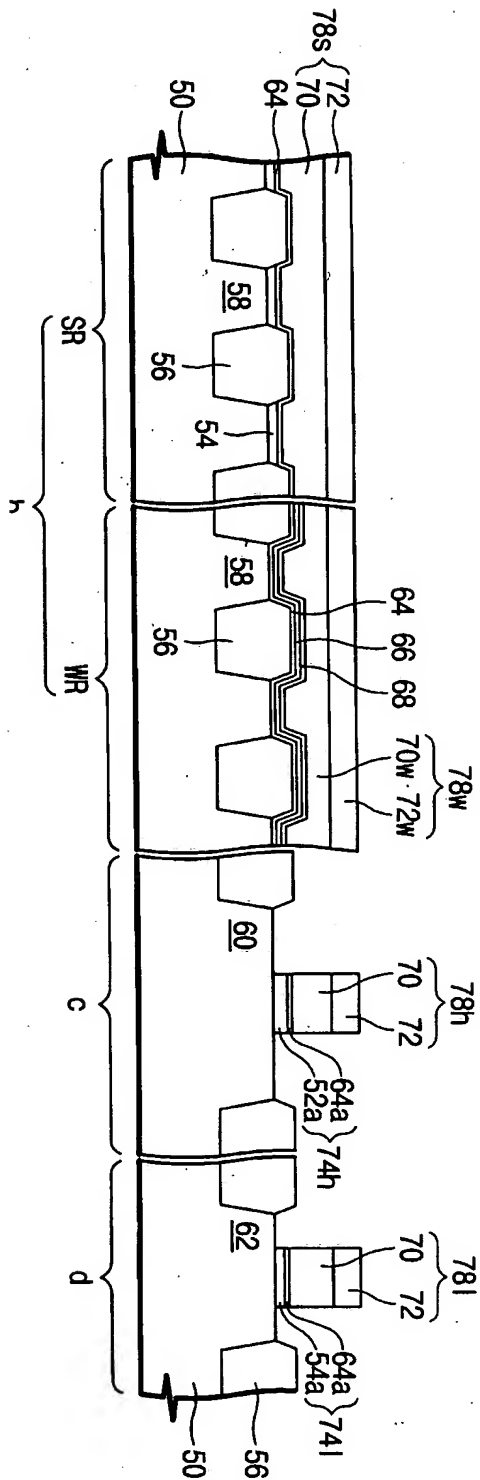
【도 18】



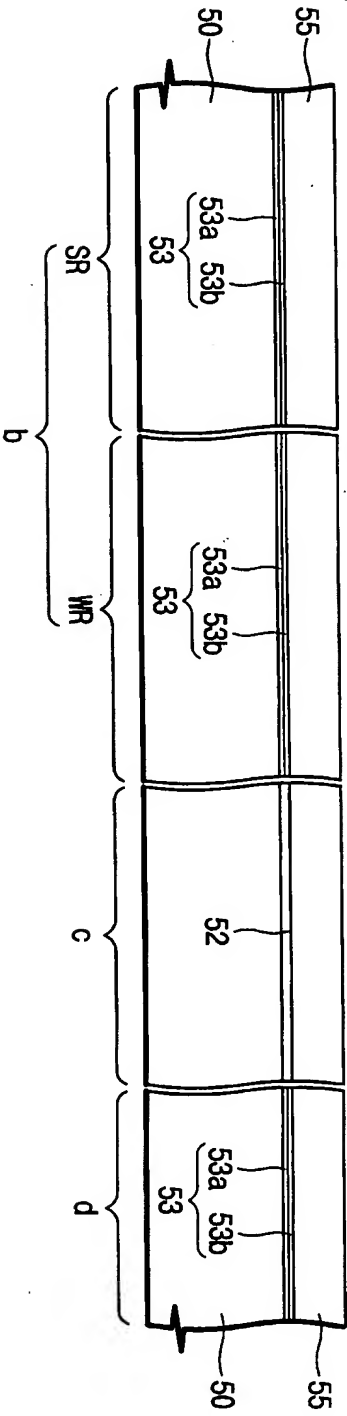
【도 19】



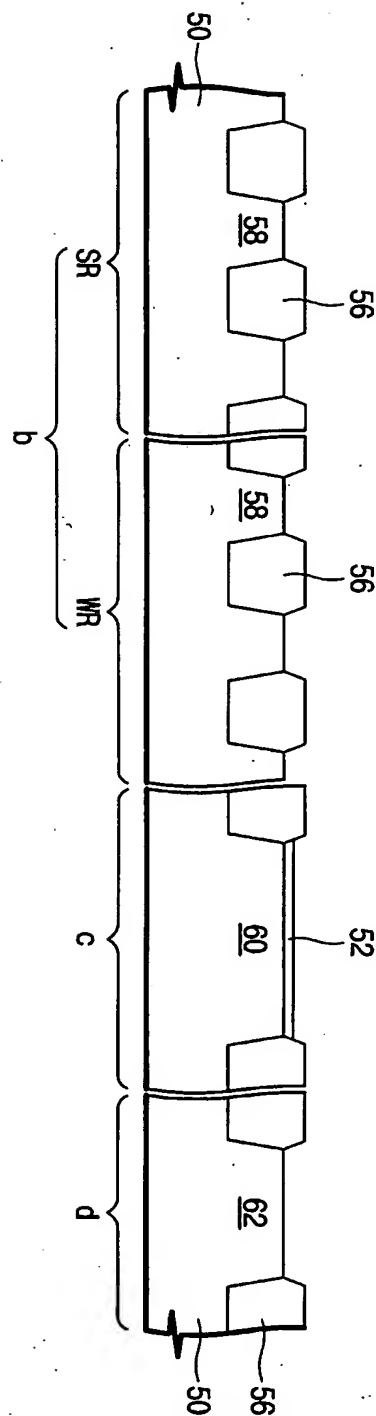
【도 20】



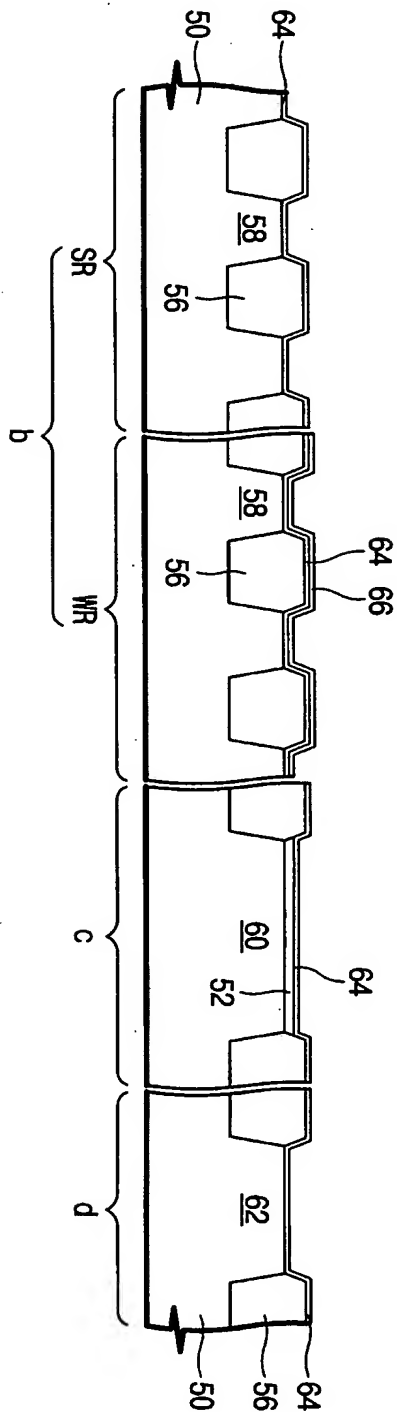
【도 21】



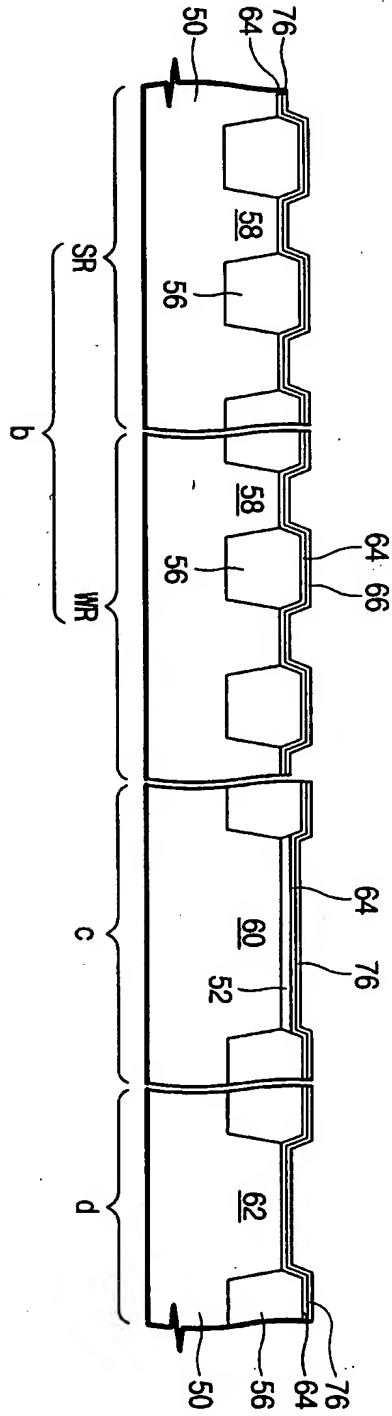
【도 22】



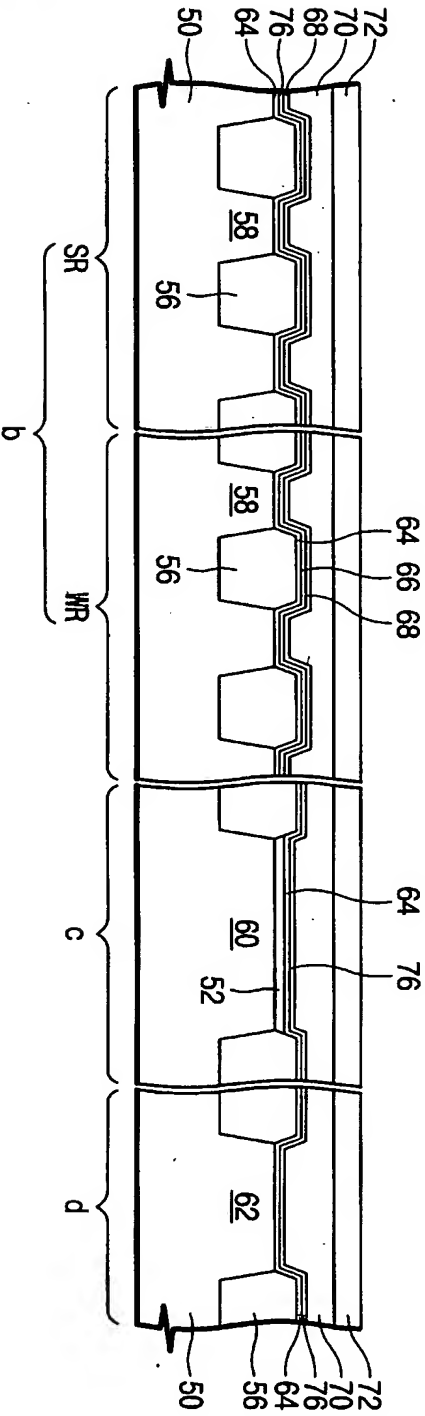
【도 23】



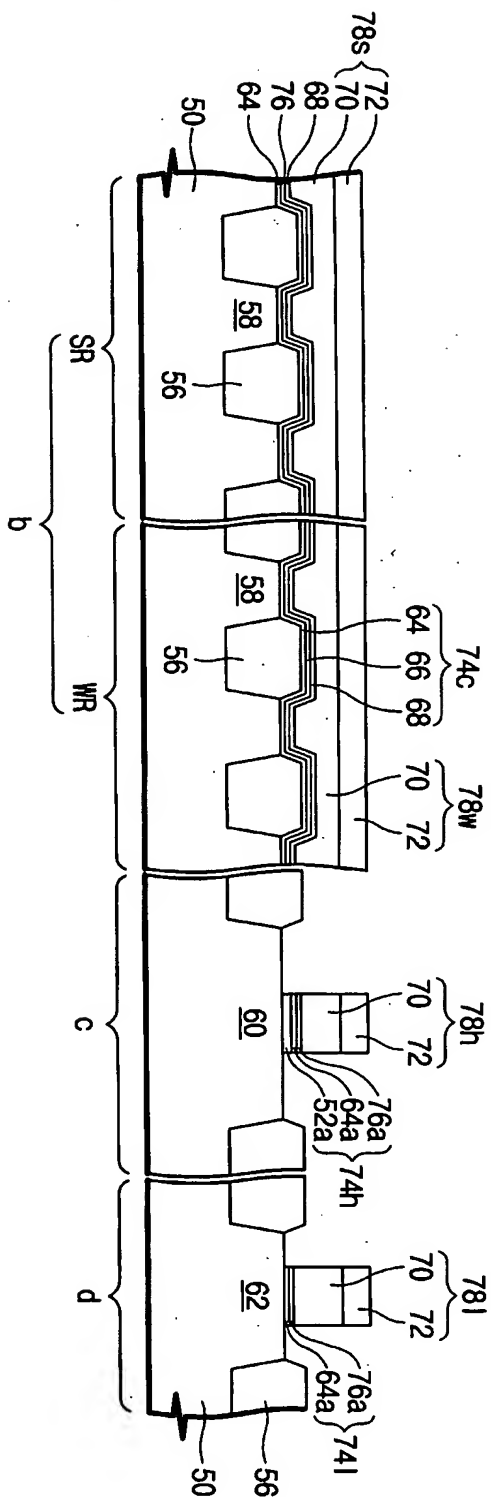
【도 24】



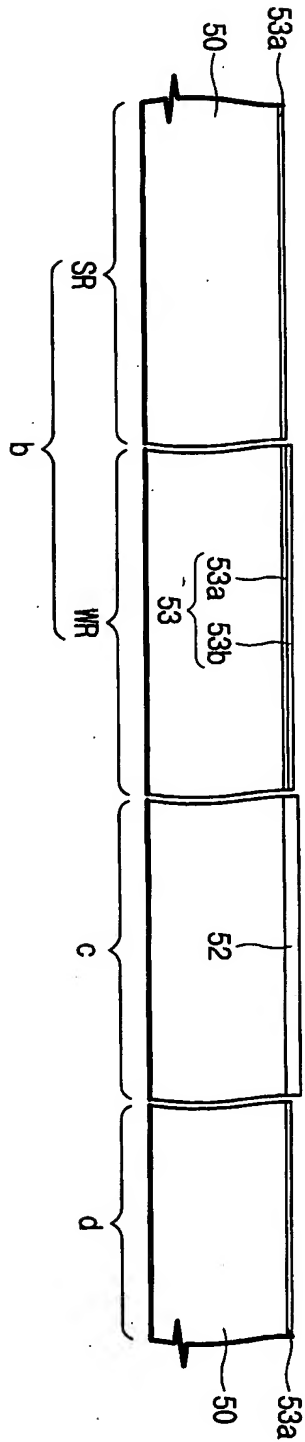
【도 25】



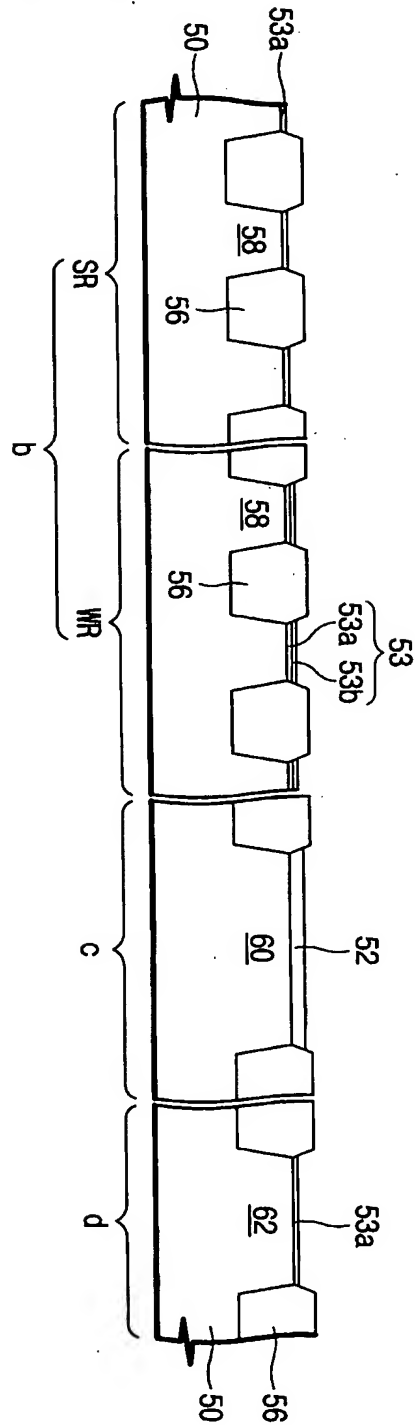
【도 26】



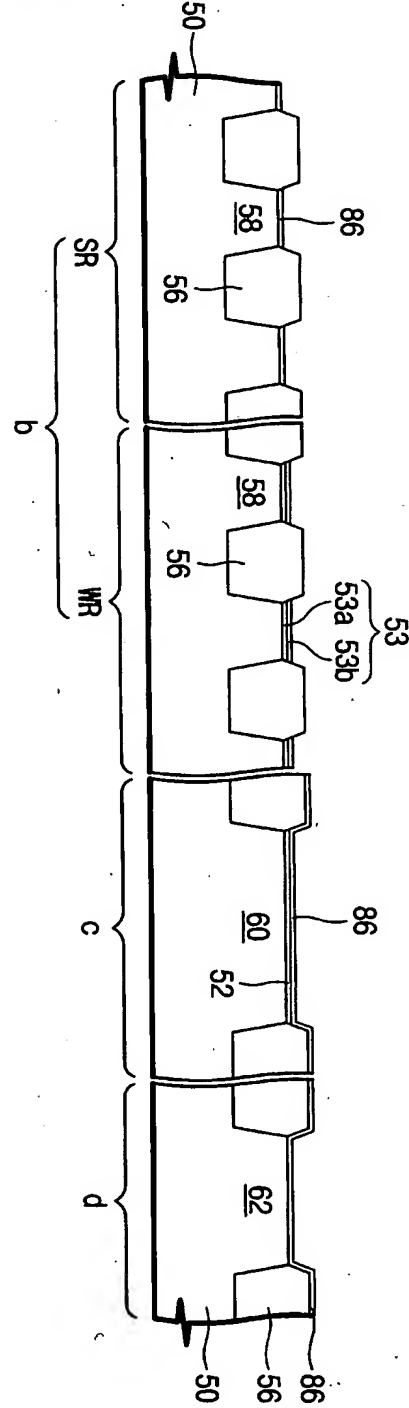
【도 27】



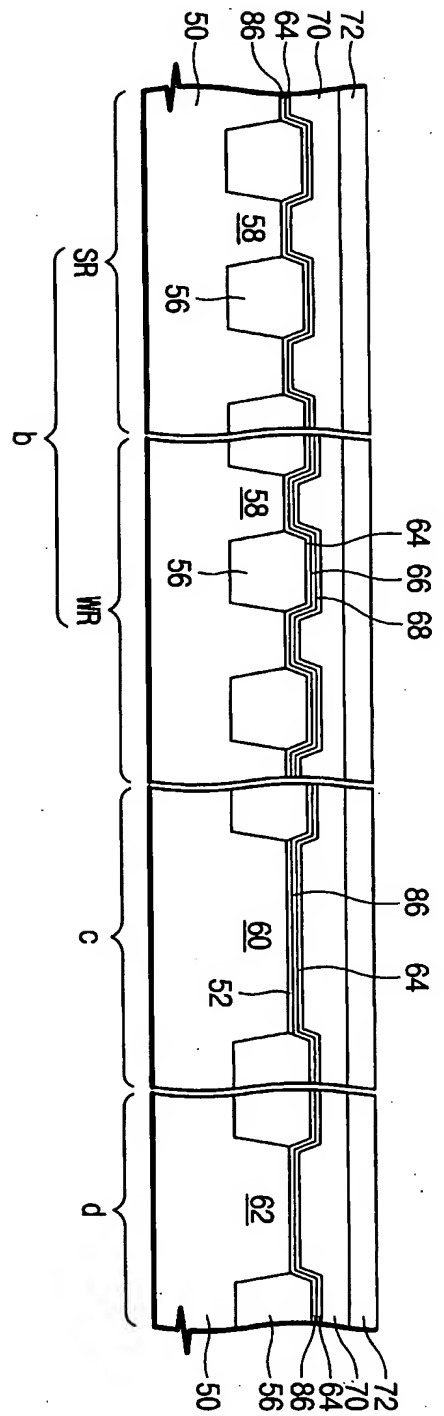
【도 28】



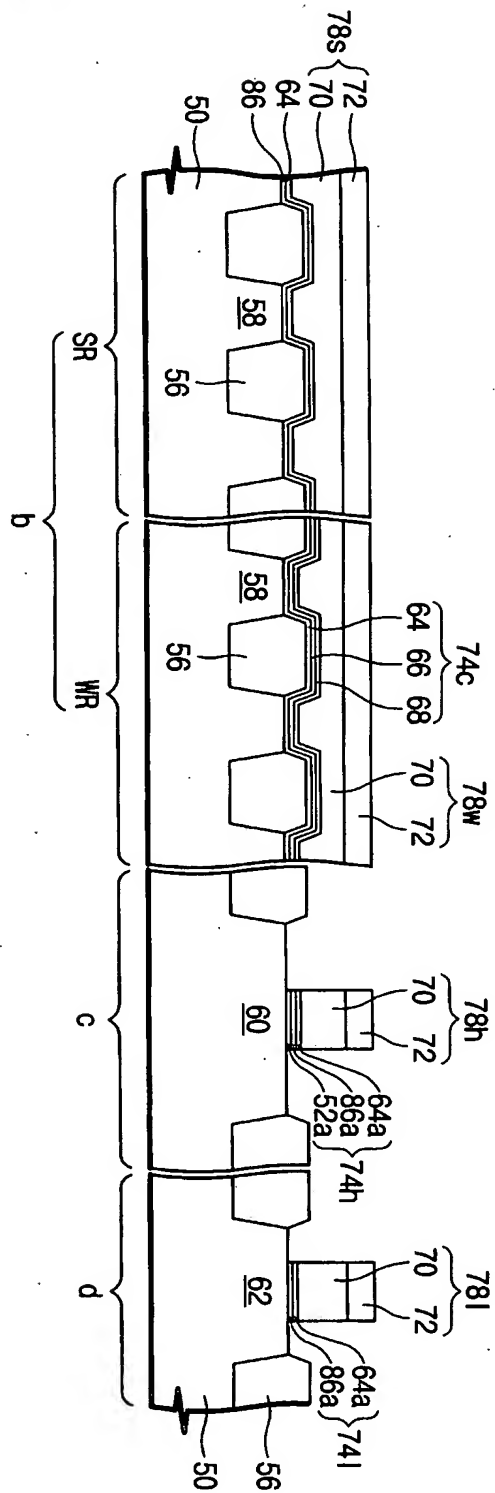
【도 29】



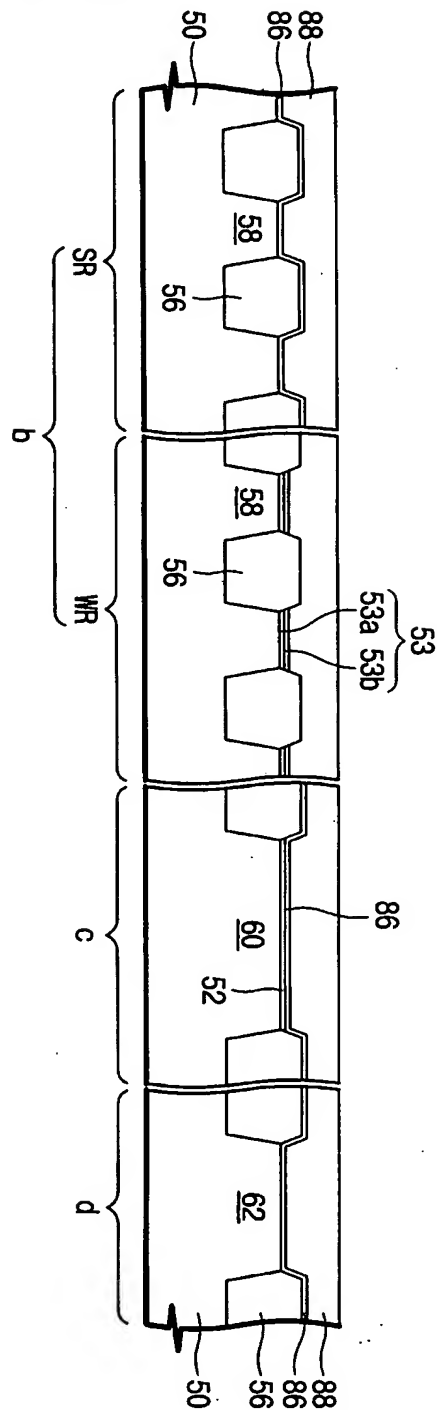
【도 31】



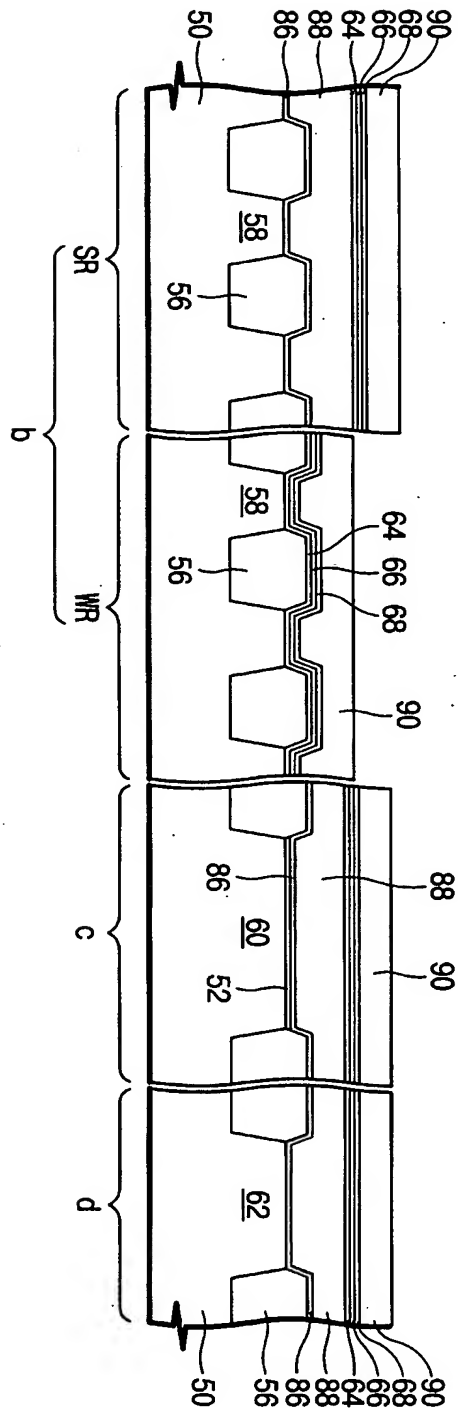
【도 32】



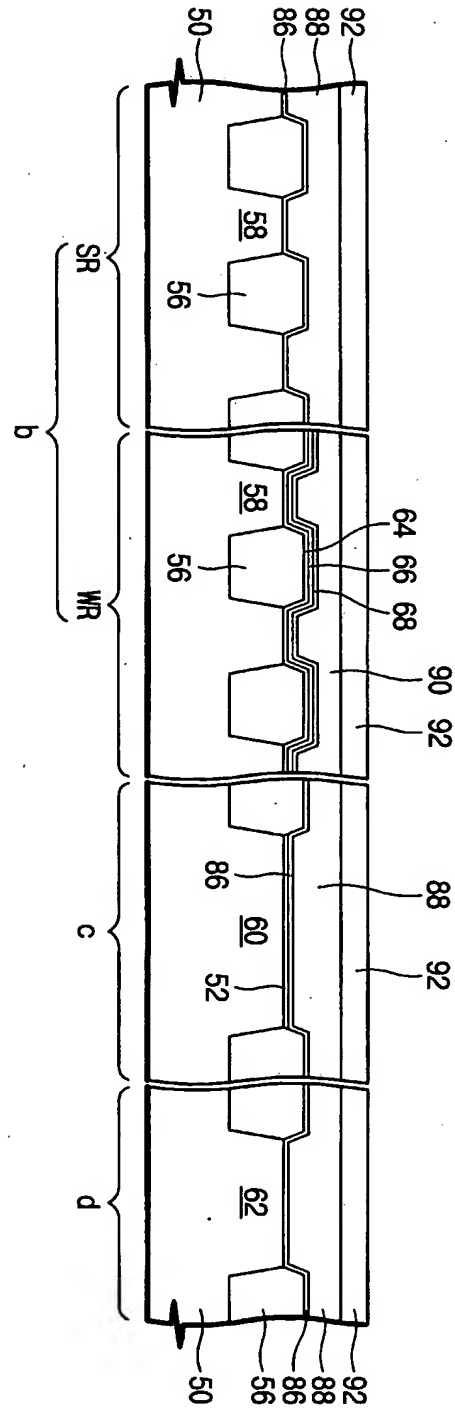
【도 33】



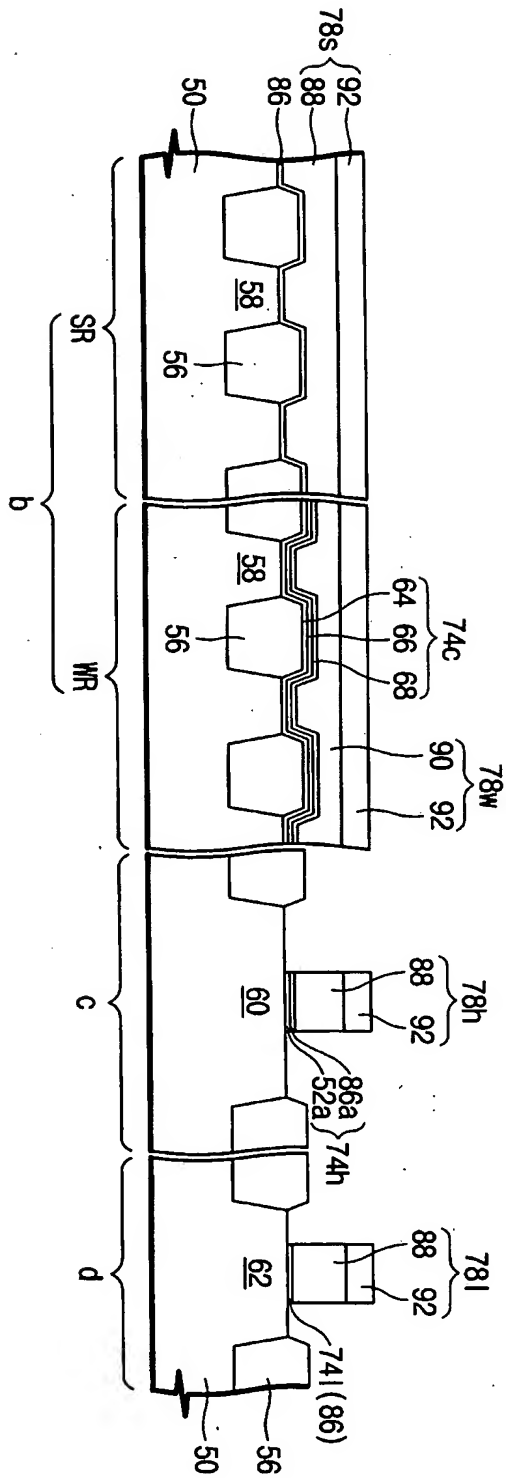
【도 34】



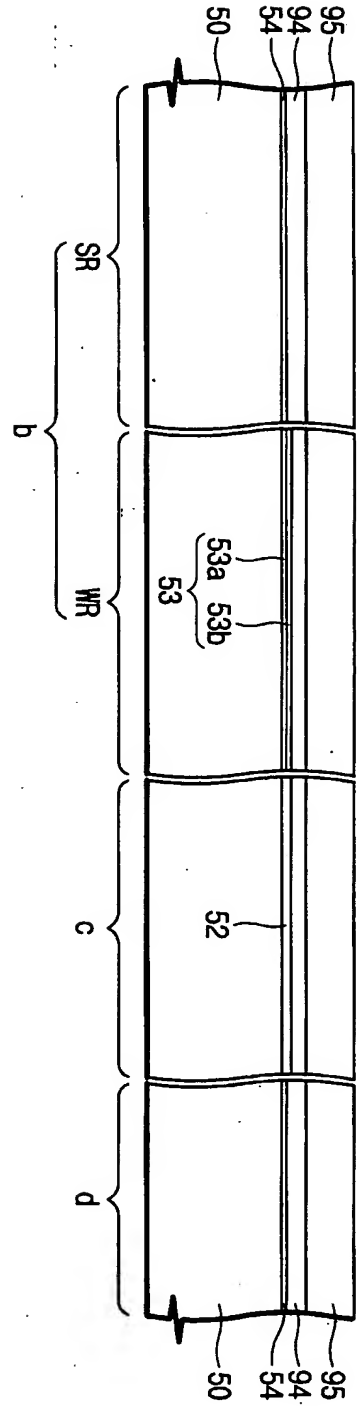
【도 35】



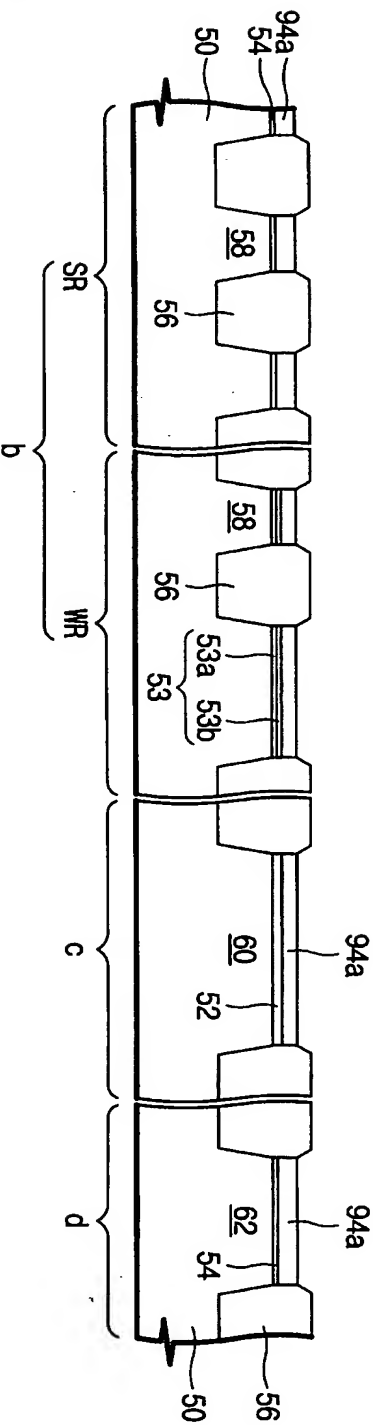
【도 36】



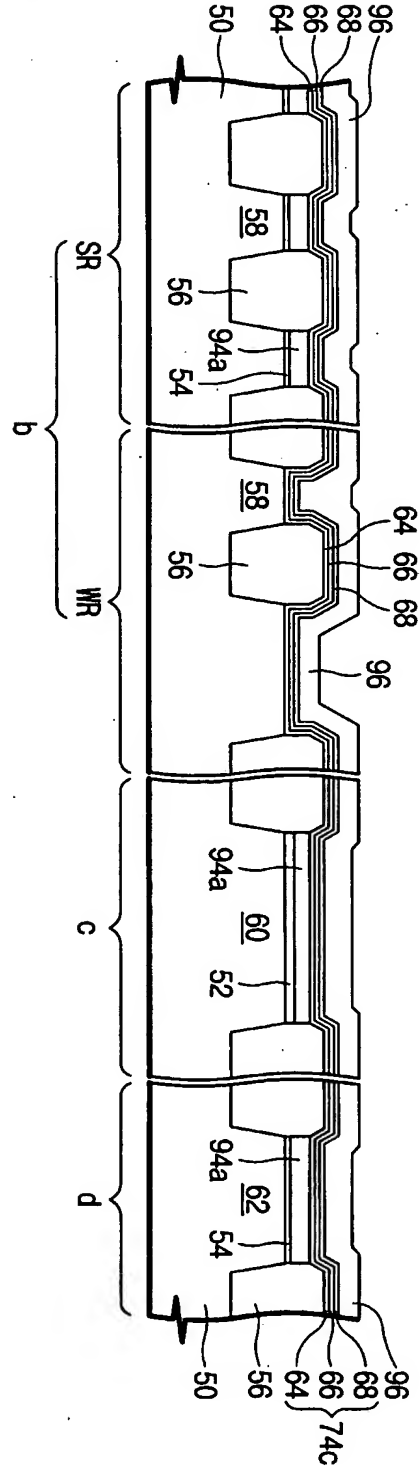
【도 37】



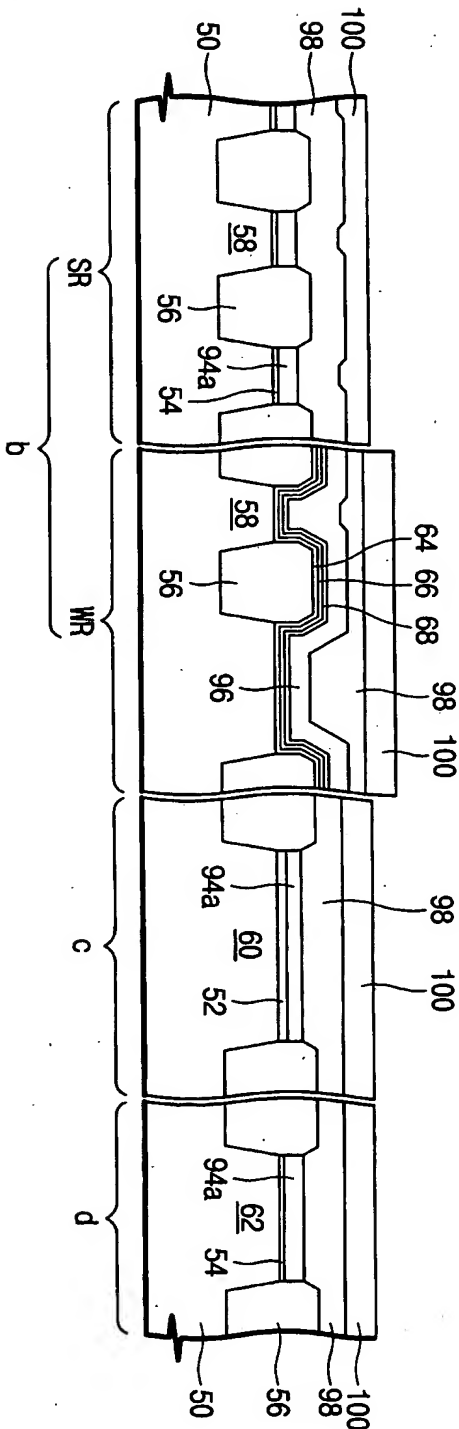
【도 38】



【도 39】



【도 40】



【도 41】

